

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-285330

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H04N 1/028

H04N 1/19

(21)Application number : 09-093611

(71)Applicant : ROHM CO LTD

(22)Date of filing : 11.04.1997

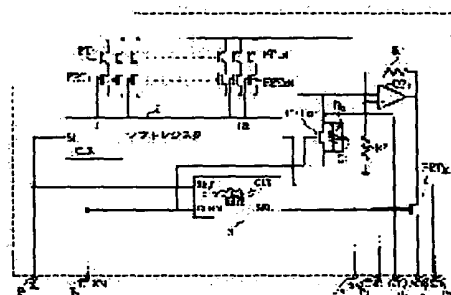
(72)Inventor : FUJIMOTO HISAYOSHI
ONISHI HIROAKI
IMAMURA NORIHIRO

(54) CONTACT TYPE IMAGE SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a reading speed by dividing plural image sensor chips into plural blocks of optional number of chips and driving each block in parallel.

SOLUTION: A reference clock sign CLK from outside is frequency-divided into four to deviate timing for each one period at each time and respectively inputted to an image sensor, divided into four blocks as a CLKN signal to supply for a shift register 2, a chip selecting circuit 3 and the third electric field effect transistor FET211. On the other hand, a serial IN signal SI is inputted to the circuit 3 and is fetched to the bit of a shift resistor with the falling timing of the CLKN. Respective second and third FET201 and FET211 are turned on and off at the falling/rising timing of the CLKN, and the first FETi is successively turned on, to discharge the electric charge of a phototransistor PTi to selectively output as a reading image signal AO1 or AO2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The contact type image sensor which is a contact type image sensor which arranged two or more image-sensors chips which output serially the reading picture signal of the analog according to the amount of reflected lights from the read body for every pixel along the array direction of the photo detector of each image-sensors chip, makes the arbitrary number 1 set, carries out the block division of two or more aforementioned image-sensors chips at two or more groups, and is characterized by having the drive control means which drive each block in parallel.

[Claim 2] The contact type image sensor according to claim 1 which has an analog-to-digital-conversion means to change the reading picture signal of the analog from two or more aforementioned image-sensors chips into a digital reading picture signal.

[Claim 3] It is the contact type image sensor according to claim 2 to which the aforementioned drive control means can shift timing one by one from each aforementioned block by the ability shifting mutually the timing of the clock signal supplied to each block of the aforementioned image-sensors chip, the reading picture signal of an analog is made to output, and the aforementioned analog-to-digital-conversion means digitizes the reading picture signal of the analog from all the aforementioned blocks by one analog-to-digital converter.

[Claim 4] It is the contact type image sensor according to claim 2 to which the aforementioned drive control means make the reading picture signal of an analog output from each aforementioned block to the same timing by supplying a clock signal common to each block of the aforementioned image-sensors chip, and the aforementioned analog-to-digital-conversion means digitizes the reading picture signal of the analog from each aforementioned block by one analog-to-digital converter for every block.

[Claim 5] The contact type image sensor according to claim 2 to 4 which has an alignment means to align the reading picture signal digitized by the aforementioned analog-to-digital-conversion means in the sequence corresponding to the order of an array of the aforementioned photo detector of two or more aforementioned image-sensors chips.

[Claim 6] The contact type image sensor according to claim 5 which has the 1st output means which outputs the digital reading picture signal which aligned by the aforementioned alignment means as an image-sensors output in the sequence.

[Claim 7] The contact type image sensor according to claim 5 or 6 which has a digital-to-analog conversion means to change into the reading picture signal of an analog the digital reading picture signal which aligned by the aforementioned alignment means in the sequence, and the 2nd output means which outputs the reading picture signal of the analog outputted from the aforementioned digital-to-analog conversion means as an image-sensors output in the sequence.

[Claim 8] The aforementioned alignment means has the 1st independently accessible storage means and the 2nd storage means mutually. The state of reading a digital reading picture signal from the storage means of the above 2nd, writing a digital reading picture signal in the storage means of the above 1st, The contact type image sensor according to claim 5 to 7 which changes to the state of reading a digital reading picture signal from the storage means of the above 1st, writing a digital reading picture signal in the storage means of the above 2nd, by turns.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] The invention in this application relates to the contact type image sensor for reading the picture of a manuscript etc.

[0002]

[Description of the Prior Art] The conventional contact type image sensor was composition which outputs serially the reading picture signal of the analog for one line by having arranged two or more image-sensors chips which output serially the reading picture signal of the analog according to the amount of reflected lights from the read body for every pixel along the array direction of the photo detector of each image-sensors chip, and driving these image-sensors chip one by one.

[0003] However, in such a conventional contact type image sensor, since the reading picture signal of the analog corresponding to the pixel for one line was outputted serially, a reading rate was not fully accelerable. Namely, the charge accumulated at the photo detector corresponding to each pixel Since it is outputted as a reading picture signal by being changed into a suitable voltage waveform using the load which has a time constant, and amplifying the voltage When the quantity of light of the light source was set constant, the limitation was in the read-out speed of a charge, and there was a limitation in improvement in the speed of the reading rate by improvement in the speed of the clock frequency for reading a photo detector to a charge from it being necessary to remove the residual charge of the photo detector after reading a charge moreover.

[0004] And since improvement in reading precision was aimed at by making [many] the number of pixels of one line, much image-sensors chips needed to be formed and the reading picture signal from these image-sensors chip was outputted serially, reading of one line had taken much time to the latest contact type image sensor.

[0005] Although especially colorization of recent years and image sensors is progressing quickly, since it is necessary to read with the light of each color of red, green, and blue, respectively and a 3 times as many read time as a monochrome picture is required in order to require a high reading precision generally in the case of a color and to read a color picture with the image-sensors chip of monochrome moreover, by the conventional contact type image sensor, the lateness of a reading rate poses a much more big problem.

[0006] Furthermore, in the case of such handy type image sensors, although the so-called handy type of image sensors which a user has image sensors by hand and makes scan a manuscript top are also spreading recently, if a reading rate is too slow, an exact scan will become difficult and user-friendliness will become bad.

[0007]

[Description of the Invention] The invention in this application makes it the technical problem to be invented under the above-mentioned circumstances and to offer the contact type image sensor which can raise a reading rate good.

[0008] In order to solve the above-mentioned technical problem, the following technical means are provided in the invention in this application.

[0009] According to the 1st side of the invention in this application, the image-sensors chip which outputs serially the reading picture signal of the analog according to the amount of reflected lights from the read body for every pixel It is the contact type image sensor arranged along the array direction of the photo detector of each image-sensors chip.

[two or more] The contact type image sensor which makes the arbitrary number 1 set, carries out the block division of two or more image-sensors chips at two or more groups, and is characterized by having the drive control means which drive each block in parallel is offered.

[0010] If it does in this way, since the parallel drive of the block of an image-sensors chip will be carried out, a reading rate can be raised good.

[0011] For example, if the block number of partitions of an image-sensors chip is set to 4, time to read the reading

picture signal of an analog from the photo detector for one line also as the same as that of the former in the period of the clock signal for driving each image-sensors chip will be made to one fourth and the lighting time of the light source will be disregarded, it will become possible to increase a reading rate 4 times.

[0012] As a photo detector, although photo diode and a photo transistor can be used, it does not restrict to this.

[0013] Although the block number of partitions of an image-sensors chip is arbitrary, a reading rate is accelerable, so that there are many the numbers, and composition of drive control means or a circuit pattern can be simplified, so that there are few the numbers.

[0014] According to the gestalt of desirable operation, an analog-to-digital-conversion means to change the reading picture signal of the analog from two or more image-sensors chips into a digital reading picture signal is established.

[0015] If it does in this way, since a digital reading picture signal can be outputted from a contact type image sensor, it excels in noise-proof nature and, moreover, it is not necessary to establish the circuit for digitizing a reading picture signal in the exterior of a contact type image sensor.

[0016] According to the gestalt of other desirable operations, when drive control means can shift mutually the timing of the clock signal supplied to each block of an image-sensors chip, can shift timing one by one from each block, the reading picture signal of an analog is made to output, and an analog-to-digital-conversion means digitizes the reading picture signal of the analog from all blocks by one analog-to-digital converter.

[0017] If it does in this way, it is not necessary to prepare an analog-to-digital converter for every block, and a manufacturing cost can be reduced.

[0018] According to the form of other desirable operations, drive control means make the reading picture signal of an analog output from each block to the same timing by supplying a clock signal common to each block of an image-sensors chip, and an analog-to-digital-conversion means digitizes the reading picture signal of the analog from each block by one analog-to-digital converter for every block.

[0019] If it does in this way, since a clock signal common to each block can be used, the number of circuit patterns for supplying a clock signal is reducible.

[0020] According to the form of other desirable operations, an alignment means to align the reading picture signal digitized by the analog-to-digital-conversion means in the sequence corresponding to the order of an array of the photo detector of two or more image-sensors chips is established.

[0021] If it does in this way, a reading picture signal can be outputted from a contact type image sensor one by one in the state where it stood in a line tidily in order of the array of the photo detector for one line.

[0022] An alignment means is realizable using memory. That is, if a write address is appropriately set up when writing a reading picture signal in memory, the reading picture signal which aligned can be acquired by incrementing the address every [1] at the time of read-out. On the contrary, the reading picture signal which aligned can be acquired also by writing a reading picture signal in memory, incrementing the address every [1] at the time of writing, and setting up the read-out address appropriately at the time of read-out.

[0023] According to the form of other desirable operations, the 1st output means which outputs the digital reading picture signal which aligned by the alignment means as an image-sensors output in the sequence is established.

[0024] If it does in this way, a digital reading picture signal can be outputted from a contact type image sensor one by one in the state where it stood in a line tidily in order of the array of the photo detector for one line.

[0025] According to the form of other desirable operations, a digital-to-analog conversion means to change into the reading picture signal of an analog the digital reading picture signal which aligned by the alignment means in the sequence, and the 2nd output means which outputs the reading picture signal of the analog outputted from the digital-to-analog conversion means as an image-sensors output in the sequence are established.

[0026] If it does in this way, since the reading picture signal of an analog can be outputted serially, wiring for a reading picture signal output can be done in one.

[0027] According to the form of other desirable operations, an alignment means has the 1st independently accessible storage means and the 2nd storage means mutually, and changes to the state read a digital reading picture signal from the 2nd storage means, writing a digital reading picture signal in the 1st storage means, and the state read a digital reading picture signal from the 1st storage means, writing a digital reading picture signal in the 2nd storage means, by turns.

[0028] The more the lighting time of the light source is short since digital read-out and the digital writing of a reading picture signal can be performed simultaneously if it does in this way, the more a reading rate is made more to high speed.

[0029] That is, now, since the time which makes the light source turn on and stores up a charge to the photo detector of each image-sensors chip is required after the reading picture signal for one line is acquired, although a digital reading picture signal may be read from a storage means using this lighting time, when read-out time is longer than lighting

time, only in the difference, a read time will become long. On the other hand, if read-out and writing are performed simultaneously, shortening of the lighting time of the light source will link with shortening of a read time directly.

[0030] Other features and advantages of the invention in this application will become clearer by detailed explanation given to below with reference to an accompanying drawing.

[0031]

[Embodiments of the Invention] Hereafter, the form of desirable operation of the invention in this application is concretely explained with reference to a drawing.

[0032] For the perspective diagram and drawing 2 which are shown after drawing 1 has decomposed the component part of the contact type image sensor concerning the invention in this application, this plan and drawing 3 are III-III of drawing 2. The IV-IV line cross section of drawing 2 and drawing 5 of a line cross section and drawing 4 are the V-V line cross sections of drawing 2.

[0033] This contact type image sensor 20 has the case 21 where it has an abbreviation rectangle-like cross-section configuration and a longitudinal predetermined size, and can produce this case 21 by resin fabrication. As it has the building envelope penetrated up and down and up opening is blocked, while the glass covering 22 is attached, as lower opening is blocked, the head substrate 23 is attached as this case 21 appears in drawing 3 well. Two or more image-sensors chips 24 are attached in the crosswise unilateral approach in the upper surface of this head substrate 23, and two or more Light Emitting Diode chips 25 as the lighting light source are attached in side approach besides the cross direction. These Light Emitting Diode chip 25 is equipped with the light emitting diode of three colors of red, green, and blue, respectively. And the rod-lens array 27 for converging the reflected light from the light guide section material 26 and manuscript side made of a transparent resin for irradiating efficiently the light from the above-mentioned Light Emitting Diode chip 25 at the manuscript D as the read body on the above-mentioned glass covering 22 on the above-mentioned image-sensors chip 24 at erection actual size is formed in the building envelope of this case 21.

[0034] From the upper part, as the above-mentioned rod-lens array 27 is inserted, it is held at the slot-like electrode-holder section 28 formed in the case 21. The slot-like electrode-holder section 28 has the flat-surface form of the rod-lens array 27, and the corresponding cavity slot 29, and the slit 30 for making it result on two or more image-sensors chips 24 which are made to pass the light which penetrated the rod-lens array 27, and are arranged at the lower part is formed in the bottom.

[0035] It engages with the unilateral edge of the upper surface of the above-mentioned rod-lens array 27 at the wall in the longitudinal direction pars intermedia of this slot-like electrode-holder section 28, and the engagement salient 31 for preventing the float of this rod-lens array 27 is formed in two places as it appears in drawing 3. It has moderate projection height and taper side 31a is formed in nose-of-cam upper part approach so that this engagement salient 31 may not check insertion operation of the rod-lens array 27 to the above-mentioned slot-like electrode-holder section 28 as the cross section appears in drawing 3.

[0036] The above-mentioned light guide section material 26 is a member for leading efficiently the light emitted from the Light Emitting Diode chip 25 attached in the above-mentioned head substrate 23 in the position displaced to the side from the reading line L which exists on extension of the optical axis of the above-mentioned rod-lens array 27 to the above-mentioned reading line L or its near field according to the prism effect. As this light guide section material 26 is inserted in the space surrounded by the bottom wall 33 in which the translucent window 32 which carries out opening corresponding to arrangement of the above-mentioned Light Emitting Diode chip 25 was formed, unilateral wall 21a of a case 21, and outer wall 28a of the above-mentioned slot-like electrode-holder section 28, it is attached in it.

[0037] The engagement salient 34 is formed in the unilateral side of the longitudinal direction pars intermedia of the above-mentioned light guide section material 26 at two places, and the engagement crevice 35 where the above-mentioned engagement salient 34 can be engaged is formed in unilateral wall 21a of the above-mentioned case 21 corresponding to this as it appears in drawing 1. And in the both ends of this light guide section material 26, the fitting block 36 which has the predetermined vertical size which can fit in between unilateral wall 21a of the above-mentioned case and outer wall 28a of the above-mentioned slot-like electrode-holder section 28 is formed in one, and extension formation of the piece 37 of press for pressing the both-ends upper surface of the above-mentioned rod-lens array 27 is really carried out from this fitting block 36 as it appears in drawing 1 and drawing 5. Moreover, the salient 38 for carrying out fitting maintenance of this fitting block 36 with fixed frictional force between the above-mentioned case wall 21a and the above-mentioned electrode-holder outside wall 28a and the rib 39 are formed in the tooth back of the above-mentioned fitting block 36.

[0038] The contact type image sensor 20 of the above-mentioned composition can be assembled as follows. First, the rod-lens array 27 is inserted in the slot-like electrode-holder section 28 of a case 21 from a top. At this time, the engagement salient 31 formed in the wall of the slot-like electrode-holder section 28 engages with upper surface 1 edge

of the rod-lens array 27, and prevents the float of this rod-lens array 27.

[0039] Next, the above-mentioned light guide section material 26 is inserted in the space surrounded by the above-mentioned case wall 21a and electrode-holder outside wall 28a from a top. It is held in the regular position, without saying that a float produces the light guide section material 26 when the above-mentioned fitting block 36 gets into the above-mentioned space exactly, that the engagement salient 34 of the unilateral side of the pars intermedia engages with the engagement crevice 35 by the side of a case, and. Then, the piece 37 of press formed in the fitting block 36 of the ends of this light guide section material 26 presses the both-ends upper surface of the above-mentioned rod-lens array 27. Thereby, the rod-lens array 27 is held in the regular position stably and certainly, when the longitudinal direction pars intermedia is pressed down by the above-mentioned engagement salient 31 and longitudinal direction both ends are pressed down by the piece 37 of press of the above-mentioned light guide section material 26.

[0040] As the above-mentioned glass covering 22 is inserted in upper surface opening of the above-mentioned case 21, it is fixed by adhesion. As the above-mentioned head substrate 23 is inserted in inferior-surface-of-tongue opening of the above-mentioned case 21, it is fixed by the fastening plate 40. It engages with the engagement salient 42 by which the engagement hole 41 which carried out [the hole] bending formation at cross-section abbreviation M type, and was formed in the leg 40a formed the leaf member in the both-sides side of a case 21 as this fastening plate 40 appeared in drawing 4 .

[0041] The above-mentioned image-sensors chip 24 is carried on [20] the head substrate 23 so that drawing 6 may be the image-sensors chip 24 on the above-mentioned head substrate 23, and arrangement explanatory drawing of a circuit pattern, drawing 7 may be this important section enlarged view, and all photo detectors may be regular intervals mostly and it may rank with one train. Moreover, on the head substrate 23, a clock signal is supplied to each image-sensors chip 24, and the chip 1 for control which processes and outputs the reading picture signal from each image-sensors chip 24 is carried near the end (drawing 7 drawing 6 and soffit) of the image-sensors chip train which consists of 20 image-sensors chips 24.

[0042] 20 image-sensors chips 24 are classified into four blocks as 5 sets [1], and a clock signal which is between blocks and is different a little [of timing] is supplied to them from the chip 1 for control, and they operate per block.

[0043] Drawing 8 is the circuit block diagram of the above-mentioned image-sensors chip 24. for this image-sensors chip 24 The 128-bit shift register 2, the photo transistor PT 1 of 3,128 chip select circuits - PT128, 1st 128 field-effect transistor FET1 - FET128, 2nd field-effect transistor FET201, 3rd field-effect transistor FET211, an operational amplifier OP1, three resistor R1 -R3, a capacitor C1, and seven pad P1 -P7 It is formed. 1st 128 field-effect transistor FET1 - FET128, 2nd field-effect transistor FET201, and 3rd field-effect transistor FET211 It is an MOS type field-effect transistor, respectively. pad P1 **** -- the serial in signal SI is inputted pad P2 **** -- clock signal CLKN is inputted This clock signal CLKN is between blocks, timing differs a little, and either of the clock signals CLK1-CLK4 is inputted by whether the image-sensors chip 24 belongs to the block [which] in fact. 5-volt supply voltage is supplied to a pad P3. Pad P4 It connects with the ground line. Pad P5 The reading picture signal AO1 of the analog which the shell is not amplifying is outputted serially. Pad P6 The reading picture signal AO2 of the analog by which the shell was amplified is outputted serially. Pad P7 As for a shell, the serial out signal SO is outputted.

[0044] Drawing 9 is the circuit block diagram of the above-mentioned chip 1 for control, and a selector 5, A/D converter 6, RAM7, a control circuit 8, D/A converter 9, and pads P10-P27 are formed in this chip 1 for control. From pads P10-P17, each bits DO0-DO7 of a 8-bit digital reading picture signal are outputted. From a pad P18, the reading picture signal AO of an analog is outputted serially. From pads P19-P22, the clock signals CLK1-CLK4 to each block of the image-sensors chip 24 are outputted. The reference clock signal CLK is inputted into a pad P23 through a connector etc. from the exterior of a contact type image sensor 20. The reading picture signals A11-A14 of the analog from each block of the image-sensors chip 24 are inputted into pads P24-P27. These reading picture signals A11-A14 are the pads P6 of the image-sensors chip 24. Operational amplifier OP1 by which the shell output was carried out It is the amplified reading picture signal AO2. in addition, the pad by which 5v supply voltage is inputted into the chip 1 for control besides the above, the pad connected to the ground line, and the pad P7 of the image-sensors chip 24 of the last stage from -- although the pad into which the outputted serial out signal SO is inputted as a serial in signal SI is formed, the publication is omitted in drawing 9

[0045] That is, the chip 1 for control makes the arbitrary number 1 set, carries out the block division of two or more image-sensors chips at two or more groups, and constitutes the drive control means which drive each block in parallel. A/D converter 6 constitutes an analog-to-digital-conversion means to change the reading picture signal of the analog from two or more image-sensors chips into a digital reading picture signal. RAM7 and the control circuit 8 constitute an alignment means to align the reading picture signal digitized by the analog-to-digital-conversion means in the sequence corresponding to the order of an array of the photo detector of two or more image-sensors chips. Pads P10-P17 constitute the 1st output means which outputs the digital reading picture signal which aligned by the alignment

means as an image-sensors output in the sequence. D/A converter 9 constitutes a digital-to-analog-conversion means to change into the reading picture signal of an analog the digital reading picture signal which aligned by the alignment means in the sequence. The pad P18 constitutes the 2nd output means which outputs the reading picture signal of the analog outputted from the digital-to-analog-conversion means as an image-sensors output in the sequence.

[0046] Drawing 10 is each part signal wave type view of the chip 1 for control in data reading mode, and drawing 11 is each part signal wave type view of the chip 1 for control in data transfer mode.

[0047] Next, operation is explained. 4 dividing of 8MHz reference clock signals CLK inputted into the pad P23 of the chip 1 for control through the connector outside drawing etc. from the exterior of a contact type image sensor 20 is carried out by the control circuit 8, and the 2MHz clock signals CLK1-CLK4 of the reference clock signal CLK from which one period of timing shifted at a time are outputted from the pads P19-P22 of the chip 1 for control. These clock signals CLK1-CLK4 are the pads P2 of the image-sensors chip 24 of each block. It is inputted as clock signal CLKN. For example, in drawing 6, it counts from the bottom, and a clock signal CLK1 is supplied to the 5th image-sensors chip 24 from the 1st piece, a clock signal CLK2 is supplied to five image-sensors chips 24 under it, a clock signal CLK3 is supplied to five image-sensors chips 24 under it, it counts from the bottom, and a clock signal CLK4 is supplied to the 5th image-sensors chip 24 from the 1st piece. They are inputted into the gate of 3rd field-effect transistor FET211 while being inputted into the clock signal input terminal of a shift register 2 and the chip select circuit 3, these clock signal CLKN(s) CLK1-CLK4, i.e., clock signals. Thereby, it is 3rd field-effect transistor FET211. Clock signal CLKN turns on in a high-level period.

[0048] On the other hand, the serial in signal SI supplied through the connector outside drawing etc. from the exterior of a contact type image sensor 20 is the pad P1 of the image-sensors chip 24 of the first rank of each block. It is inputted. For example, in drawing 6, it counts from the bottom, and the 1st piece, the 6th piece, the 11th piece, and the 16th image-sensors chip 24 are supplied. This serial in signal SI is inputted into the set terminal of the chip select circuit 3, and, thereby, the chip select circuit 3 makes high-level the selection signal currently outputted from the selection signal output terminal synchronizing with clock signal CLKN. This selection signal is a signal which reversed clock signal CLKN, and is 2nd field-effect transistor FET201. Since the gate is supplied, clock signal CLKN is 2nd field-effect transistor FET201 to the period of a low level. It will turn on.

[0049] Moreover, the serial in signal SI is supplied also to the input terminal of a shift register 2, and is incorporated by the bit of the first rank of a shift register 2 to the timing of the fall of clock signal CLKN. The bit of the first rank of a shift register 2 turns on by this, and it is 1st field-effect transistor FET1. A high-level signal is inputted into the gate and it is 1st field-effect transistor FET1. It turns on. Since clock signal CLKN is a low level at this time, it is 3rd field-effect transistor FET211. It turns off and is a photo transistor PT 1. The current by the accumulated charge is 1st field-effect transistor FET1. It minds and is a capacitor C1. Resistor R3 It flows to a parallel circuit and the ends voltage of a parallel circuit increases gradually according to the time constant. this ends voltage is inputted into the noninverting input edge of an operational amplifier OP -- having -- resistor R1 Resistor R2 it amplifies with the amplification degree determined by the ratio of resistance -- having -- pad P6 from -- it is outputted as a reading picture signal AO2 of an analog Since clock signal CLKN is a low level and the selection signal is high-level at this time, 2nd field-effect transistor FET201 turns on. In addition, pad P5 A shell is an operational amplifier OP1. The reading picture signal AO1 of the analog which is not amplified is outputted.

[0050] When clock signal CLKN starts from a low level to high level, a selection signal is set to a low level and it is 2nd field-effect transistor FET201. It turns off and is a pad P6. While the shell reading picture signal AO2 is no longer outputted, it is 3rd field-effect transistor FET211. It turns on and is a photo transistor PT 1. Residual charge and capacitor C1 The accumulated charge is 3rd field-effect transistor FET211. It minds and discharges.

[0051] if clock signal CLKN falls to a high-level shell low level, the serial in signal SI of the bit of the first rank of a shift register 2 will shift to the bit of the 2nd step -- having -- the same operation as the case of the bit of the first rank -- photo transistor PT 2 the reading picture signal AO2 of the analog according to the accumulated charge -- pad P6 from -- it is outputted

[0052] the following and the same operation -- clock signal CLKN -- synchronizing -- a photo transistor PT 3 - PT128 the reading picture signal AO2 of the analog according to the accumulated charge -- pad P6 from, if outputted one by one While the serial in signal SI is outputted from the bit of the last stage of a shift register 2 in falling of the next clock signal CLKN and being inputted into the clear signal input terminal of the chip select circuit 3 as a clear signal, it is a pad P7. It is outputted as a shell serial out signal SO. Thereby, the chip select circuit 3 maintains a selection signal at a low level. moreover, pad P7 from -- the outputted serial out signal SO -- pad P1 of the image-sensors chip 24 of the next step It is inputted as a serial in signal SI.

[0053] thereby -- the image-sensors chip 24 of the next step -- the above -- the image-sensors chip 24 of the first rank -- the same -- operating -- clock signal CLKN -- synchronizing -- a photo transistor PT 1 - PT128 the reading picture

signal AO2 of the analog according to the accumulated charge -- pad P6 from -- it is outputted one by one. By repeating such operation to the stage [of each block / last], i.e., the 5th step, image-sensors chip 24, the reading picture signals A11-A14 of the analog for 640 pixels from five image-sensors chips 24 of each block are serially inputted into the pads P24-P27 of the chip 1 for control, respectively. That is, the reading picture signals A11-A14 are the pads P6 of the image-sensors chip 24. It is the reading picture signal AO2 by which the shell output was carried out.

[0054] Every 1 pixel of reading picture signals A11-A14 of the analog inputted into the pads P24-P27 of the chip 1 for control is chosen one by one by the selector 5, and they are supplied to A/D converter 6. At this time, clock signals CLK1-CLK4 are supplied to a selector 5 from a control circuit 8, and selection of whether to output the reading picture signals A11-A14 of the analog which synchronizes with these clock signals CLK1-CLK4, and is inputted into the pads P24-P27 of a gap to A/D converter 6 is changed. A/D converter 6 changes the reading picture signals A11-A14 of the analog from a selector 5 into a 8-bit digital reading picture signal, and outputs them to RAM7. At this time, to A/D converter 6, the reference clock signal CLK is supplied from the chip 1 for control, and A/D converter 6 samples the reading picture signals A11-A14 of an analog to it synchronizing with this reference clock signal CLK. Moreover, a control circuit 8 generates the address of RAM7 for storing a digital reading picture signal synchronizing with the reference clock signal CLK, and supplies it to RAM7. Therefore, RAM7 memorizes the digital reading picture signal of A/D converter 6 to the storage region specified by the address from a control circuit 8. One line, i.e., the digital reading picture signal for 2560 pixels, is stored in RAM7 in this way.

[0055] If the digital reading picture signal for one line is stored in RAM7 as mentioned above, the serial in signal SI will be inputted into the control circuit 8 of the chip 1 for control. pad P7 of the image-sensors chip 24 of the last stage specifically located in the bottom in drawing 6 from -- the outputted serial out signal SO is inputted into a control circuit 8 as a serial in signal SI. Thereby, a control circuit 8 generates the address of RAM7 for reading a digital reading picture signal synchronizing with the reference clock signal CLK, and supplies RAM7. Thereby, RAM7 outputs a digital reading picture signal to pads P10-P17 and D/A converter 9 one by one. At this time, a control circuit 8 generates the address for read-out from RAM7 so that the digital reading picture signal outputted to pads P10-P17 may become the sequence according to the reading sequence of the pixel of one line. For example, if the address was generated by incrementing initial value every [1] at the time of the writing to RAM7 of a digital reading picture signal, at the time of read-out, the address will be generated by repeating 4 times, incrementing the first initial value every [1] for operation of incrementing initial value 639 times every 4. Since the reading picture signal of an analog is outputted one by one from the image-sensors chip 24 of each block, being able to shift the one-period [every] timing of the reference clock signal CLK, this is for reading the digital reading picture signal corresponding to the reading picture signal of the analog outputted from the image-sensors chip 24 of the same block from RAM7 one by one, and arranging turn by incrementing the address of RAM7 every [4]. Therefore, what is necessary is just to generate the address by incrementing initial value every [1] at the time of read-out, when the read-out address-generation method at the time of the above-mentioned read-out and the same write-in address-generation method perform the writing to RAM7.

[0056] The 8-bit digital reading picture signal outputted to pads P10-P17 is outputted to the exterior of a contact type image sensor 20 through a connector, a cable, etc. outside drawing. Moreover, the digital reading picture signal inputted into D/A converter 9 is changed into the reading picture signal of an analog, and is serially outputted to the exterior of a contact type image sensor 20 through a connector, a cable, etc. outside a pad P18 and drawing.

[0057] By repeating the above operation a total of 3 times for every lighting of Light Emitting Diode of each color of the red of the Light Emitting Diode chip 25, green, and blue, reading of one line in color reading is completed, and it shifts to reading of the following line. Namely, as shown in drawing 12, the writing to RAM7 of a red reading picture signal is first performed in time of 2560 periods of the reference clock signal CLK. Read-out from RAM7 of a red reading picture signal is performed in time of 2560 periods of the following reference clock signal CLK. The writing to RAM7 of a green reading picture signal is performed in time of 2560 periods of the following reference clock signal CLK. Read-out from RAM7 of a green reading picture signal is performed in time of 2560 periods of the following reference clock signal CLK. The writing to RAM7 of a blue reading picture signal is performed in time of 2560 periods of the following reference clock signal CLK, and read-out from RAM7 of a blue reading picture signal is performed in time of 2560 periods of the following reference clock signal CLK. In addition, lighting of the Light Emitting Diode chip 25 is performed between read-out from RAM7 of a reading picture signal.

[0058] Thus, since the block division of the image-sensors chip 24 is carried out at every five-piece four groups and the parallel drive of these blocks is carried out, a reading rate is accelerable.

[0059] In addition, in the above-mentioned operation gestalt, although it read after forming one RAM7 in the chip 1 for control and writing one color and the reading picture signal for one line in RAM7, you may be made to perform writing and read-out simultaneously. For example, as shown in drawing 13, add selectors 12 and 13 and two RAM 14

and 15 is formed instead of RAM7. The chip 11 for control which furthermore formed the control circuit 16 instead of the control circuit 8 is used. It changes to the state of outputting to the state of outputting the digital reading picture signal of A/D converter 6 to RAM14 by the selector 12, and RAM15. Furthermore By changing the state of outputting the digital reading picture signal of RAM14 to pads P10-P17 and D/A converter 9 by the selector 13, and the digital reading picture signal of RAM15 to the state of outputting to pads P10-P17 and D/A converter 9 The state of reading a reading picture signal from RAM15, writing a reading picture signal in RAM14, and the state of reading a reading picture signal from RAM14, writing a reading picture signal in RAM15 can be changed by turns. Of course, generation of the address is performed in the write-in signal and read-out signal row to RAM 14 and 15 by the control circuit 16. Therefore, a blue reading picture signal is read from RAM15, writing a red reading picture signal in RAM14, as shown in drawing 14 , a red reading picture signal is read from RAM14, writing a reading picture signal green next in RAM15, and the simultaneous operation of the writing and read-out of reading a green reading picture signal from RAM15 is realizable, writing a reading picture signal blue next in RAM14.

[0060] If it does in this way, according to it, a reading rate is further accelerable by shortening lighting time of the Light Emitting Diode chip 25 to a tolerance limit. And since the relation of the timing of the reading picture signal outputted to the exterior of a contact type image sensor 20 and the serial in signal SI generated in the exterior of a contact type image sensor 20 can be made to be the same as that of the case of the conventional contact type image sensor, it is convenient although the conventional thing is used as a circuit in the exterior of a contact type image sensor 20.

[0061] Moreover, although the reference clock signal CLK could shift at a time one period of clock signal CLKN(s) which determine the timing of the block constituted by 1 set of five-piece image-sensors chips 24 of operation for every block and they were made into clock signals CLK1-CLK4 with the above-mentioned operation gestalt, it is good also as the same timing in all of these clock signal CLKN. For example, if the reading picture signal from each block simultaneously inputted and digitized by A/D converters 51-54 is changed one by one by the selector 56 and stored in RAM7 using the chip 51 for control which formed four A/D converters 51-54, selectors 56, and control circuits 57 as shown in drawing 15 , all clock signal CLKN(s) of each block will be made to the same timing. That is, the same clock signal CLKN is supplied to each block from a pad P19. Each part signal wave type of the chip 51 for control at this time is shown in drawing 16 and drawing 17 . In addition, drawing 16 is each part signal wave type view of the chip 51 for control in data reading mode, and drawing 17 is each part signal wave type view of the chip 51 for control in data transfer mode. Moreover, in drawing 16 , READ1-READ4 are change signals supplied to a selector 56 from a control circuit 57, and AD-LATCH is the timing signal of the sampling supplied to A/D converters 51-54 from a control circuit 57.

[0062] If it does in this way, since each block of the image-sensors chip 24 can be driven by one clock signal CLKN and the circuit pattern for supplying clock signal CLKN is reducible, a manufacturing cost can be reduced.

[0063] Furthermore, although divided into four blocks with the above-mentioned operation gestalt, having formed 20 image-sensors chips 24 of 128 dots, and having used these as 5 sets [1], of course, the invention in this application is not limited to these numbers.

[0064] Moreover, of course, the concrete composition of a contact type image sensor 20 is not limited like the above-mentioned operation gestalt, either.

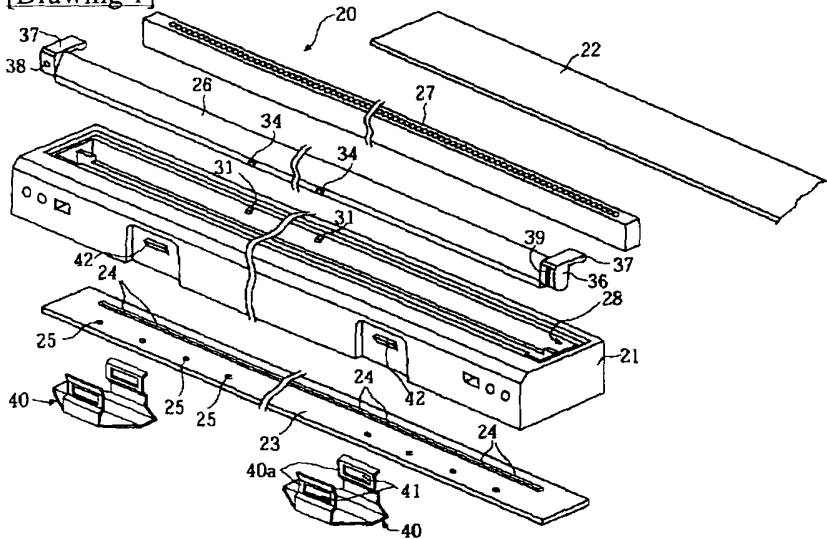
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

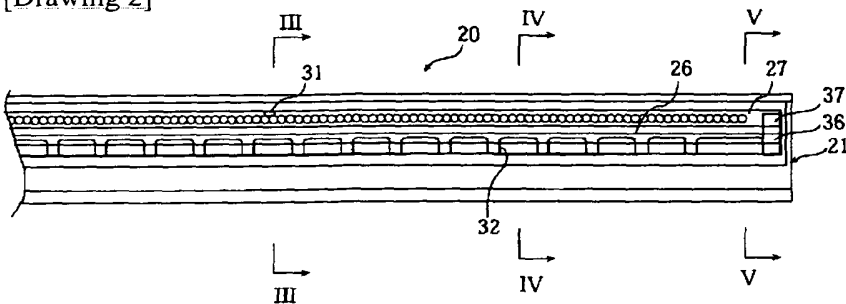
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

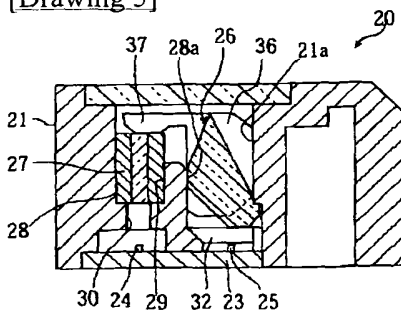
[Drawing 1]



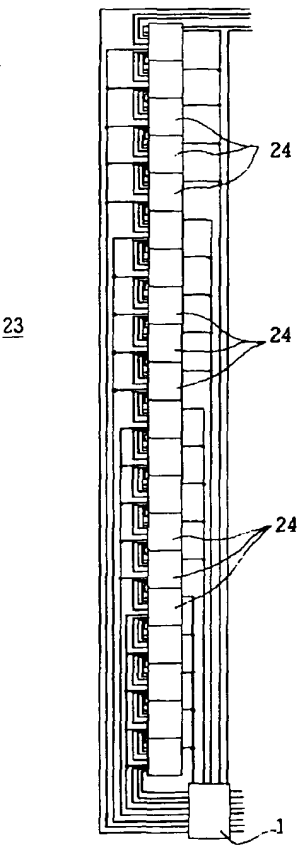
[Drawing 2]



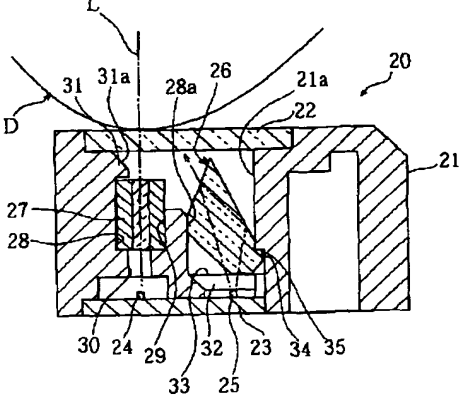
[Drawing 5]



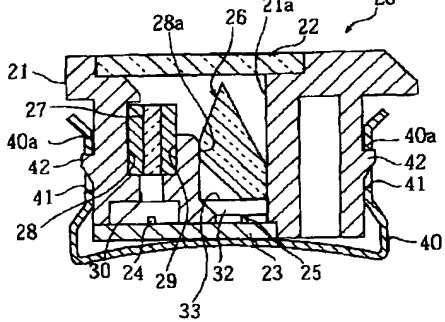
[Drawing 6]



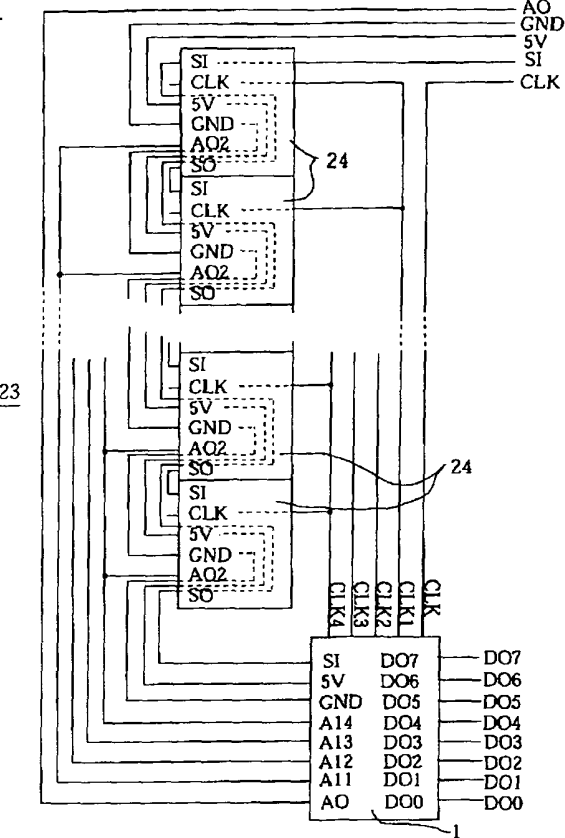
[Drawing 3]



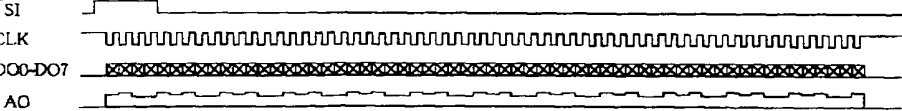
[Drawing 4]



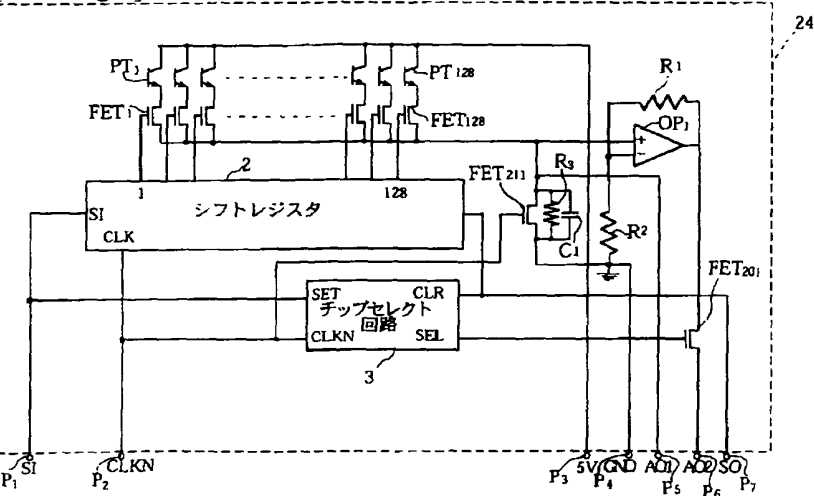
[Drawing 7]



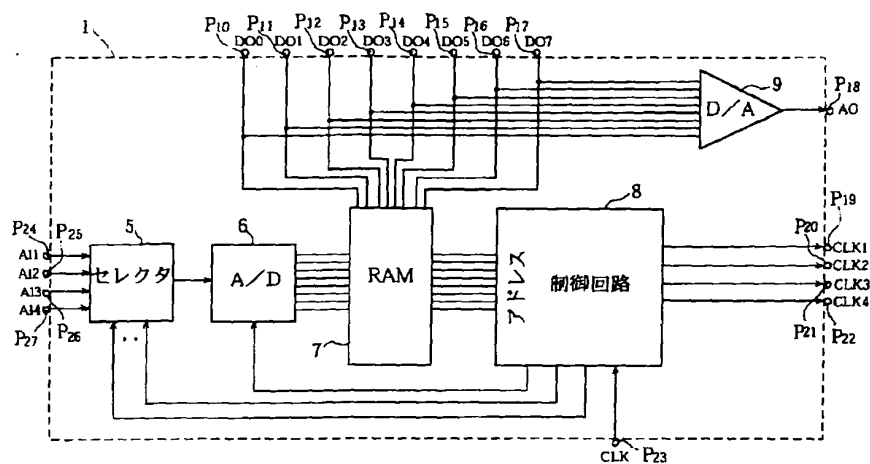
[Drawing 11]



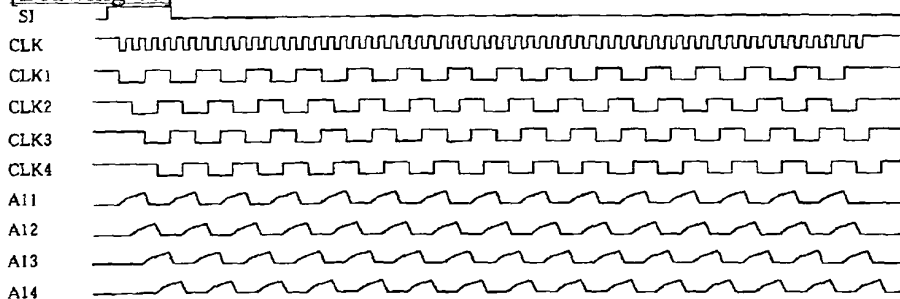
[Drawing 8]



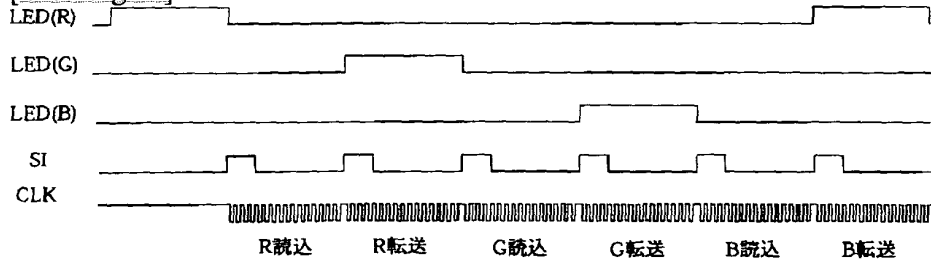
[Drawing 9]



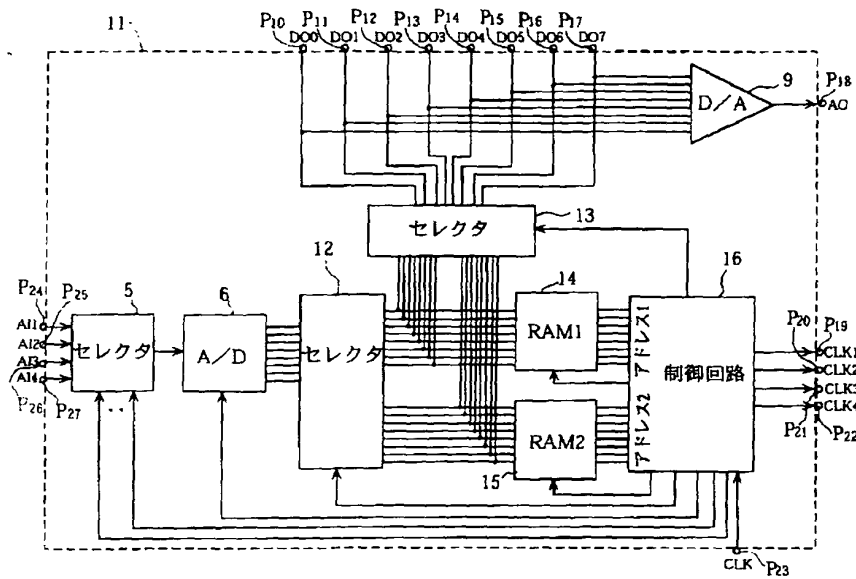
[Drawing 10]



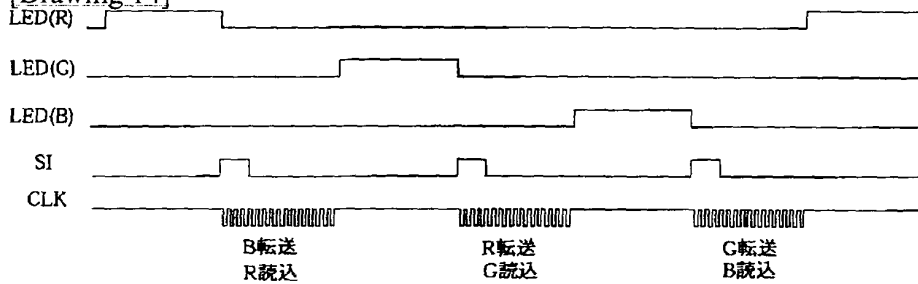
[Drawing 12]



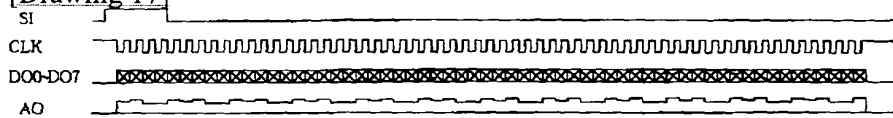
[Drawing 13]



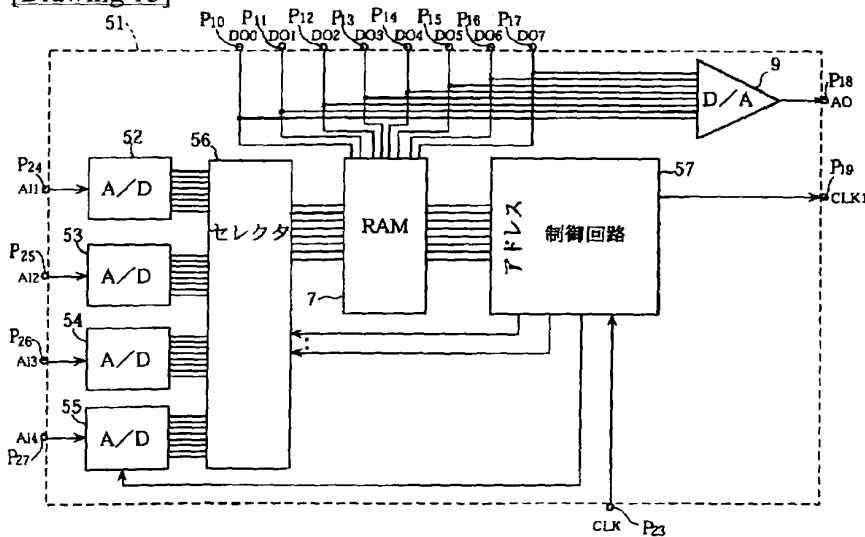
[Drawing 14]



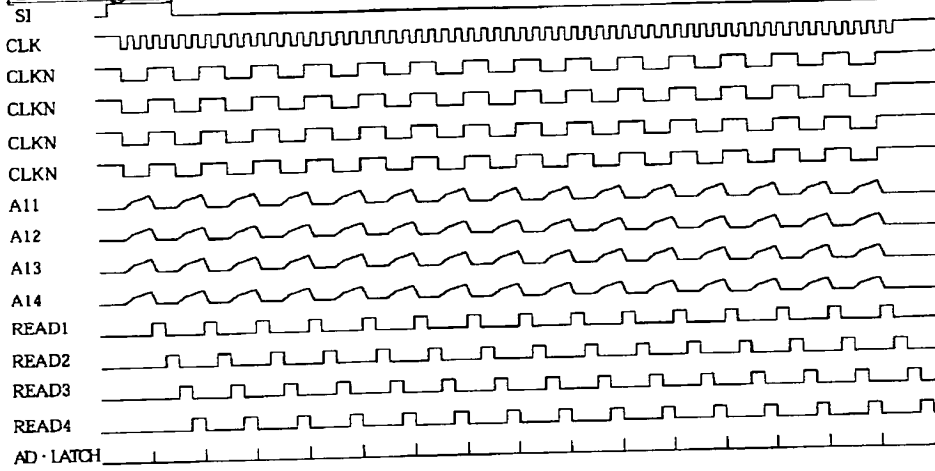
[Drawing 17]



[Drawing 15]



[Drawing 16]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285330

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁶H 0 4 N 1/028
1/19

識別記号

F I

H 0 4 N 1/028
1/04

A

1 0 2

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平9-93611

(22) 出願日 平成9年(1997)4月11日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 藤本 久義

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 大西 弘朗

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 今村 典広

京都市右京区西院溝崎町21番地 ローム株式会社内

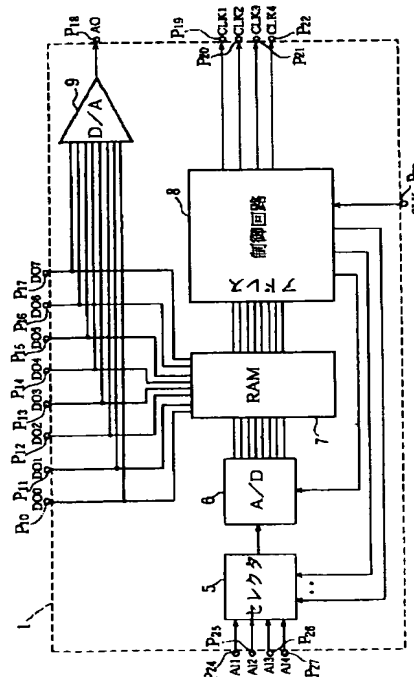
(74) 代理人 弁理士 吉田 稔 (外1名)

(54) 【発明の名称】 密着型イメージセンサ

(57) 【要約】

【課題】 読取速度を良好に向上させることができる密着型イメージセンサを提供する。

【解決手段】 被読取体からの反射光量に応じたアナログの読取画像信号を画素毎にシリアルに出力するイメージセンサチップを、各イメージセンサチップの受光素子の配列方向に沿って複数個配列した密着型イメージセンサであって、複数のイメージセンサチップを任意個数を1組として複数の組にブロック分けし、各ブロックを並列的に駆動する制御回路8を備えた。



(2)

特開平 1 0 - 2 8 5 3 3 0

1

2

【特許請求の範囲】

【請求項 1】 被読取体からの反射光量に応じたアナログの読取画像信号を画素毎にシリアルに出力するイメージセンサチップを、各イメージセンサチップの受光素子の配列方向に沿って複数個配列した密着型イメージセンサであって、前記複数個のイメージセンサチップを任意個数を 1 組として複数の組にブロック分けし、各ブロックを並列的に駆動する駆動制御手段を備えたことを特徴とする、密着型イメージセンサ。

【請求項 2】 前記複数個のイメージセンサチップからのアナログの読取画像信号をデジタルの読取画像信号に変換するアナログ・デジタル変換手段を有する、請求項 1 に記載の密着型イメージセンサ。

【請求項 3】 前記駆動制御手段は、前記イメージセンサチップの各ブロックに供給するクロック信号のタイミングを相互にずらせることにより、前記各ブロックからタイミングを順次ずらせてアナログの読取画像信号を出力させ、前記アナログ・デジタル変換手段は、全ての前記ブロックからのアナログの読取画像信号を 1 個のアナログ・デジタル変換器によりデジタル化する、請求項 2 に記載の密着型イメージセンサ。

【請求項 4】 前記駆動制御手段は、前記イメージセンサチップの各ブロックに共通のクロック信号を供給することにより、前記各ブロックから同一のタイミングでアナログの読取画像信号を出力させ、前記アナログ・デジタル変換手段は、前記各ブロックからのアナログの読取画像信号を、各ブロック毎に 1 個のアナログ・デジタル変換器によりデジタル化する、請求項 2 に記載の密着型イメージセンサ。

【請求項 5】 前記アナログ・デジタル変換手段によりデジタル化された読取画像信号を、前記複数個のイメージセンサチップの前記受光素子の配列順に対応した順序に整列させる整列手段を有する、請求項 2 ないし請求項 4 のいずれかに記載の密着型イメージセンサ。

【請求項 6】 前記整列手段により整列されたデジタルの読取画像信号を、その順序でイメージセンサ出力として出力する第 1 の出力手段を有する、請求項 5 に記載の密着型イメージセンサ。

【請求項 7】 前記整列手段により整列されたデジタルの読取画像信号を、その順序でアナログの読取画像信号に変換するデジタル・アナログ変換手段と、前記デジタル・アナログ変換手段から出力されたアナログの読取画像信号を、その順序でイメージセンサ出力として出力する第 2 の出力手段とを有する、請求項 5 または請求項 6 に記載の密着型イメージセンサ。

【請求項 8】 前記整列手段は、互いに独立にアクセス可能な第 1 の記憶手段と第 2 の記憶手段とを有し、前記第 1 の記憶手段にデジタルの読取画像信号を書き込み

ながら前記第 2 の記憶手段からデジタルの読取画像信号を読み出す状態と、前記第 2 の記憶手段にデジタルの読取画像信号を書き込みながら前記第 1 の記憶手段からデジタルの読取画像信号を読み出す状態とに交互に切り替わる、請求項 5 ないし請求項 7 のいずれかに記載の密着型イメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本願発明は、原稿などの画像を読み取るための密着型イメージセンサに関する。

【0002】

【従来の技術】 従来の密着型イメージセンサは、被読取体からの反射光量に応じたアナログの読取画像信号を画素毎にシリアルに出力するイメージセンサチップを、各イメージセンサチップの受光素子の配列方向に沿って複数個配列しており、これらイメージセンサチップを順次駆動することにより、1 ライン分のアナログの読取画像信号をシリアルに出力する構成であった。

【0003】 しかしながら、このような従来の密着型イメージセンサでは、1 ライン分の画素に対応するアナログの読取画像信号をシリアルに出力するので、読取速度を十分に高速化できなかった。すなわち、各画素に対応する受光素子に蓄積された電荷は、時定数を有する負荷を用いて適切な電圧波形に変換され、その電圧を増幅することにより読取画像信号として出力されるので、光源の光量を一定とすると、電荷の読み出し速度に限界があり、しかも電荷を読み出した後における受光素子の残留電荷を除去する必要があることから、受光素子から電荷を読み出すためのクロック周波数の高速化による読取速度の高速化には限界があった。

【0004】 しかも、最近の密着型イメージセンサは、1 ラインの画素数を多くすることにより読取精度の向上を図っているので、多数のイメージセンサチップを設ける必要があり、これらイメージセンサチップからの読取画像信号がシリアルに出力されることから、1 ラインの読み取りに多くの時間を要していた。

【0005】 特に近年、イメージセンサのカラー化が急速に進んでいるが、カラーの場合には一般に高い読取精度を要求され、しかもモノクロのイメージセンサチップでカラー画像を読み取るには、赤、緑、青の各色の光でそれぞれ読み取りを行う必要があり、モノクロ画像の 3 倍の読取時間を要するので、従来の密着型イメージセンサでは、読取速度の遅さが一層大きな問題となる。

【0006】 さらに、最近では使用者がイメージセンサを手で持って原稿の上を走査させる、いわゆるハンディータタイプのイメージセンサも普及しつつあるが、このようなハンディータタイプのイメージセンサの場合、読取速度が遅すぎると正確な走査が困難になり、使い勝手が悪くなる。

【0007】

(3)

特開平 1 0 - 2 8 5 3 3 0

3

【発明の開示】本願発明は、上記した事情のもとで考え出されたものであって、読取速度を良好に向上させることができる密着型イメージセンサを提供することを、その課題とする。

【0008】上記の課題を解決するため、本願発明では、次の技術的手段を講じている。

【0009】本願発明の第1の側面によれば、被読取体からの反射光量に応じたアナログの読取画像信号を画素毎にシリアルに出力するイメージセンサチップを、各イメージセンサチップの受光素子の配列方向に沿って複数個配列した密着型イメージセンサであって、複数のイメージセンサチップを任意個数を1組として複数の組にブロック分けし、各ブロックを並列的に駆動する駆動制御手段を備えたことを特徴とする、密着型イメージセンサが提供される。

【0010】このようにすれば、イメージセンサチップのブロックを並列駆動するので、読取速度を良好に向上させることができる。

【0011】たとえば、イメージセンサチップのブロック分割数を4とすると、各イメージセンサチップを駆動するためのクロック信号の周期を従来と同一としても、1ライン分の受光素子からアナログの読取画像信号を読み出す時間を1/4にでき、光源の点灯時間を無視すれば、読取速度を4倍にすることが可能となる。

【0012】受光素子としては、ホトダイオードやホトトランジスタを用いることができるが、これに限るものではない。

【0013】イメージセンサチップのブロック分割数は任意であるが、その数が多いほど読取速度を高速化でき、またその数が少ないほど駆動制御手段や配線パターンの構成を簡単にできる。

【0014】好ましい実施の形態によれば、複数のイメージセンサチップからのアナログの読取画像信号をデジタルの読取画像信号に変換するアナログ・デジタル変換手段を設ける。

【0015】このようにすれば、デジタルの読取画像信号を密着型イメージセンサから出力できるので、耐ノイズ性に優れており、しかも密着型イメージセンサの外部に読取画像信号をデジタル化するための回路を設ける必要がない。

【0016】他の好ましい実施の形態によれば、駆動制御手段は、イメージセンサチップの各ブロックに供給するクロック信号のタイミングを相互にずらせることにより、各ブロックからタイミングを順次ずらせてアナログの読取画像信号を出力させ、アナログ・デジタル変換手段は、全てのブロックからのアナログの読取画像信号を1個のアナログ・デジタル変換器によりデジタル化する。

【0017】このようにすれば、アナログ・デジタル変換器を各ブロック毎に設ける必要がなく、製造コスト

4

を低減できる。

【0018】他の好ましい実施の形態によれば、駆動制御手段は、イメージセンサチップの各ブロックに共通のクロック信号を供給することにより、各ブロックから同一のタイミングでアナログの読取画像信号を出力させ、アナログ・デジタル変換手段は、各ブロックからのアナログの読取画像信号を、各ブロック毎に1個のアナログ・デジタル変換器によりデジタル化する。

【0019】このようにすれば、各ブロックに共通のクロック信号を使用できることから、クロック信号を供給するための配線パターン数を削減できる。

【0020】他の好ましい実施の形態によれば、アナログ・デジタル変換手段によりデジタル化された読取画像信号を、複数のイメージセンサチップの受光素子の配列順に対応した順序に整列させる整列手段を設ける。

【0021】このようにすれば、読取画像信号を、1ライン分の受光素子の配列順に整然と並んだ状態で順次密着型イメージセンサから出力できる。

【0022】整列手段は、たとえばメモリを用いて実現できる。すなわち、読取画像信号をメモリに書き込む時に書込アドレスを適切に設定すれば、読み出し時にアドレスを1ずつインクリメントすることにより、整列した読取画像信号を得られる。逆に、書き込み時にアドレスを1ずつインクリメントしながら読取画像信号をメモリに書き込んで、読み出し時に読出アドレスを適切に設定することによっても、整列した読取画像信号を得られる。

【0023】他の好ましい実施の形態によれば、整列手段により整列されたデジタルの読取画像信号を、その順序でイメージセンサ出力として出力する第1の出力手段を設ける。

【0024】このようにすれば、1ライン分の受光素子の配列順に整然と並んだ状態で順次密着型イメージセンサからデジタルの読取画像信号を出力できる。

【0025】他の好ましい実施の形態によれば、整列手段により整列されたデジタルの読取画像信号を、その順序でアナログの読取画像信号に変換するデジタル・アナログ変換手段と、デジタル・アナログ変換手段から出力されたアナログの読取画像信号を、その順序でイメージセンサ出力として出力する第2の出力手段とを設ける。

【0026】このようにすれば、アナログの読取画像信号をシリアルに出力できるので、読取画像信号出力用の配線を1本にできる。

【0027】他の好ましい実施の形態によれば、整列手段は、互いに独立にアクセス可能な第1の記憶手段と第2の記憶手段とを有し、第1の記憶手段にデジタルの読取画像信号を書き込みながら第2の記憶手段からデジタルの読取画像信号を読み出す状態と、第2の記憶手

(4)

特開平 1 0 - 2 8 5 3 3 0

5

段にデジタルの読取画像信号を書き込みながら第 1 の記憶手段からデジタルの読取画像信号を読み出す状態とに交互に切り替わる。

【0028】このようにすれば、デジタルの読取画像信号の読み出しと書き込みとを同時に行えるので、光源の点灯時間が短ければ短い程、読取速度をより高速にできる。

【0029】すなわち、1 ライン分の読取画像信号が得られた後には、光源を点灯させて各イメージセンサチップの受光素子に電荷を蓄積させる時間が必要なので、この点灯時間を利用して記憶手段からデジタルの読取画像信号を読み出してもよいのであるが、これでは読み出し時間が点灯時間よりも長い場合、その差だけ読取時間が長くなってしまふ。これに対し、読み出しと書き込みとを同時に行なえば、光源の点灯時間の短縮が読取時間の短縮に直結するのである。

【0030】本願発明のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとならう。

【0031】

【発明の実施の形態】以下、本願発明の好ましい実施の形態を、図面を参照して具体的に説明する。

【0032】図 1 は、本願発明に係る密着型イメージセンサの構成部品を分解した状態で示す斜視図、図 2 は同平面図、図 3 は図 2 の III - III 線断面図、図 4 は図 2 の IV - IV 線断面図、図 5 は図 2 の V - V 線断面図である。

【0033】この密着型イメージセンサ 20 は、略矩形形状の断面形状と、所定の長手寸法を有するケース 21 を有しており、このケース 21 は、樹脂成形によって作製することができる。このケース 21 は、図 3 に良く表れているように、上下に貫通する内部空間をもち、上部開口を封鎖するようにしてガラスカバー 22 が取付けられているとともに、下部開口を封鎖するようにして、ヘッド基板 23 が取付けられている。このヘッド基板 23 の上面における幅方向一側寄りには、複数のイメージセンサチップ 24 が取付けられており、幅方向他側寄りには、照明光源としての複数の LED チップ 25 が取付けられている。これら LED チップ 25 は、それぞれ赤、緑、青の 3 色の発光ダイオードを備えている。そして、このケース 21 の内部空間には、上記 LED チップ 25 からの光を効率的に上記ガラスカバー 22 上の被読取体としての原稿 D に照射するための透明樹脂製の導光部材 26 と、原稿面からの反射光を正立等倍に上記イメージセンサチップ 24 に集束させるためのロッドレンズアレイ 27 が設けられている。

【0034】上記ロッドレンズアレイ 27 は、ケース 21 内に形成した溝状ホルダ部 28 に上方から挿入するようにして保持されている。溝状ホルダ部 28 は、ロッドレンズアレイ 27 の平面形態と対応した凹陥溝 29 を有

6

しており、その底部には、ロッドレンズアレイ 27 を透過した光を通過させてその下方に配置される複数のイメージセンサチップ 24 上に至らせるためのスリット 30 が形成されている。

【0035】図 3 に表れているように、この溝状ホルダ部 28 の長手方向中間部における内壁には、上記ロッドレンズアレイ 27 の上面の一側縁に係合して、このロッドレンズアレイ 27 の浮きを防止するための係合突起 31 が、2 箇所に形成されている。この係合突起 31 は、図 3 にその断面が表れているように、上記溝状ホルダ部 28 へのロッドレンズアレイ 27 の挿入操作を阻害することがないように、適度な突出高さをもち、先端上方寄りにはテーパ面 31a が形成されている。

【0036】上記導光部材 26 は、上記ロッドレンズアレイ 27 の光軸の延長上に存在する読み取りライン L から側方に変位した位置において上記ヘッド基板 23 に取付けられた LED チップ 25 から発する光を、プリズム効果によって効率的に上記読み取りライン L ないしはその近傍領域に導くための部材である。この導光部材 26 は、上記 LED チップ 25 の配置と対応して開口する透光窓 32 が形成された底壁 33 と、ケース 21 の一側内壁 21a と、上記溝状ホルダ部 28 の外壁 28a とで囲まれた空間に嵌め込むようにして取付けられる。

【0037】図 1 に表れているように、上記導光部材 26 の長手方向中間部の一側面には、係合突起 34 が 2 箇所に形成されており、これに対応して、上記ケース 21 の一側内壁 21a には、上記係合突起 34 が係合可能な係合凹部 35 が形成されている。そして、この導光部材 26 の両端部には、図 1 および図 5 に表れているように、上記ケースの一側内壁 21a と上記溝状ホルダ部 28 の外壁 28a との間に嵌合しうる所定の上下寸法を有する嵌合ブロック 36 が一体に形成されており、この嵌合ブロック 36 から、上記ロッドレンズアレイ 27 の両端部上面を押圧するための押圧片 37 が一体延出形成されている。また、上記嵌合ブロック 36 の背面には、この嵌合ブロック 36 を一定の摩擦力をもって上記ケース内壁 21a と上記ホルダ部外壁 28a との間に嵌合保持させるための突起 38 およびリブ 39 が形成されている。

【0038】上記構成の密着型イメージセンサ 20 は、次のようにして組み立てることができる。まず、ケース 21 の溝状ホルダ部 28 にロッドレンズアレイ 27 を上から嵌め込む。このとき、溝状ホルダ部 28 の内壁に形成した係合突起 31 がロッドレンズアレイ 27 の上面一縁に係合して、このロッドレンズアレイ 27 の浮きを防止する。

【0039】次に、上記導光部材 26 を、上記ケース内壁 21a とホルダ部外壁 28a とで囲まれた空間に上から嵌め込む。導光部材 26 は、その中間部の一側面の係合突起 34 がケース側の係合凹部 35 に係合すること

(5)

特開平10-285330

7

と、上記嵌合ブロック36が上記空間にぴったりと嵌まり込むことにより、浮きが生じるといったことなく、定位置に保持される。そして、この導光部材26の両端の嵌合ブロック36に形成した押圧片37が上記のロッドレンズアレイ27の両端部上面を押圧する。これにより、ロッドレンズアレイ27は、その長手方向中間部が上記係合突起31によって押さえられ、長手方向両端部が上記導光部材26の押圧片37によって押さえられることにより、安定的かつ確実に定位置に保持される。

【0040】上記ガラスカバー22は、上記ケース21の上面開口に嵌め込むようにして、たとえば接着によって固定される。上記ヘッド基板23は、上記ケース21の下面開口に嵌め込むようにして、止め金具40によって固定される。この止め金具40は、図4に表れているように、バネ板部材を断面略M形に折曲形成したものであって、その脚部40aに形成した係合穴41が、ケース21の両側面に形成した係合突起42に係合する。

【0041】図6は、上記ヘッド基板23上のイメージセンサチップ24および配線パターンの配置説明図、図7は、同要部拡大図であって、上記イメージセンサチップ24は、全ての受光素子がほぼ等間隔でかつ1列に並び、ヘッド基板23上に20個搭載されている。またヘッド基板23上には、20個のイメージセンサチップ24からなるイメージセンサチップ列の一端（図6および図7では下端）付近には、各イメージセンサチップ24にクロック信号を供給し、かつ各イメージセンサチップ24からの読取画像信号を処理して出力する制御用チップ1が搭載されている。

【0042】20個のイメージセンサチップ24は、5個1組として4つのブロックに区分されており、ブロック間でタイミングの若干異なるクロック信号を制御用チップ1から供給されて、ブロック単位で動作する。

【0043】図8は、上記イメージセンサチップ24の回路ブロック図であって、このイメージセンサチップ24には、128ビットのシフトレジスタ2、チップセレクト回路3、128個のホトトランジスタ $P_{T1} \sim P_{T128}$ 、128個の第1の電界効果トランジスタ $FET_{11} \sim FET_{128}$ 、第2の電界効果トランジスタ $FET_{201} \sim FET_{211}$ 、演算増幅器 OP_1 、3個の抵抗器 $R_1 \sim R_3$ 、キャパシタ C_1 、および7個のパッド $P_1 \sim P_7$ が形成されている。128個の第1の電界効果トランジスタ $FET_{11} \sim FET_{128}$ 、第2の電界効果トランジスタ FET_{201} 、および第3の電界効果トランジスタ FET_{211} はそれぞれMOS型の電界効果トランジスタである。パッド P_1 には、シリアルイン信号 SI が入力される。パッド P_2 には、クロック信号 $CLKN$ が入力される。このクロック信号 $CLKN$ は、ブロック間でタイミングが若干異なり、実際にはイメージセンサチップ24がいずれのブロックに所属しているかによって、クロック信号 CL

8

$K1 \sim CLK4$ のうちのいずれかが入力される。パッド P_3 には、5ボルトの電源電圧が供給される。パッド P_4 は、グランドラインに接続されている。パッド P_5 からは、増幅していないアナログの読取画像信号 $AO1$ がシリアルに出力される。パッド P_6 からは、増幅されたアナログの読取画像信号 $AO2$ がシリアルに出力される。パッド P_7 からは、シリアルアウト信号 SO が出力される。

【0044】図9は、上記制御用チップ1の回路ブロック図であって、この制御用チップ1には、セレクト5、 A/D 変換器6、 $RAM7$ 、制御回路8、 D/A 変換器9、およびパッド $P_{10} \sim P_{27}$ が形成されている。パッド $P_{10} \sim P_{17}$ からは、8ビットのデジタルの読取画像信号の各ビット $DO0 \sim DO7$ が出力される。パッド P_{18} からは、アナログの読取画像信号 AO がシリアルに出力される。パッド $P_{19} \sim P_{22}$ からは、イメージセンサチップ24の各ブロックへのクロック信号 $CLK1 \sim CLK4$ が出力される。パッド P_{23} には、密着型イメージセンサ20の外部からコネクタなどを介して基準クロック信号 CLK が入力される。パッド $P_{24} \sim P_{27}$ には、イメージセンサチップ24の各ブロックからのアナログの読取画像信号 $A11 \sim A14$ が入力される。この読取画像信号 $A11 \sim A14$ は、イメージセンサチップ24のパッド P_6 から出力された、演算増幅器 OP_1 により増幅された読取画像信号 $AO2$ である。なお制御用チップ1には、上記以外にも、5ボルトの電源電圧が入力されるパッド、グランドラインに接続されているパッド、および最終段のイメージセンサチップ24のパッド P_7 から出力されたシリアルアウト信号 SO がシリアルイン信号 SI として入力されるパッドが形成されているが、図9では記載を省略している。

【0045】すなわち、制御用チップ1は、複数のイメージセンサチップを任意個数を1組として複数の組にブロック分けし、各ブロックを並列的に駆動する駆動制御手段を構成している。 A/D 変換器6は、複数のイメージセンサチップからのアナログの読取画像信号をデジタルの読取画像信号に変換するアナログ・デジタル変換手段を構成している。 $RAM7$ および制御回路8は、アナログ・デジタル変換手段によりデジタル化された読取画像信号を、複数のイメージセンサチップの受光素子の配列順に対応した順序に整列させる整列手段を構成している。パッド $P_{10} \sim P_{17}$ は、整列手段により整列されたデジタルの読取画像信号を、その順序でイメージセンサ出力として出力する第1の出力手段を構成している。 D/A 変換器9は、整列手段により整列されたデジタルの読取画像信号を、その順序でアナログの読取画像信号に変換するデジタル・アナログ変換手段を構成している。パッド P_{18} は、デジタル・アナログ変換手段から出力されたアナログの読取画像信号を、その順序でイメージセンサ出力として出力する第2の出

(6)

特開平10-285330

9

10

力手段を構成している。

【0046】図10は、データ読込モードにおける制御用チップ1の各部信号波形図であり、図11は、データ転送モードにおける制御用チップ1の各部信号波形図である。

【0047】次に動作を説明する。密着型イメージセンサ20の外部から図外のコネクタなどを介して制御用チップ1のパッドP₂₃に入力されたたとえば8MHzの基準クロック信号CLKは、制御回路8により4分周され、基準クロック信号CLKの1周期ずつタイミングのずれた2MHzのクロック信号CLK1~CLK4が制御用チップ1のパッドP₁₉~P₂₂から出力される。これらのクロック信号CLK1~CLK4は、各ブロックのイメージセンサチップ24のパッドP₂にクロック信号CLKNとして入力される。たとえば、図6において上側から数えて1個目から5個目のイメージセンサチップ24にはクロック信号CLK1が供給され、その下の5個のイメージセンサチップ24にはクロック信号CLK2が供給され、その下の5個のイメージセンサチップ24にはクロック信号CLK3が供給され、下側から数えて1個目から5個目のイメージセンサチップ24にはクロック信号CLK4が供給される。このクロック信号CLKNすなわちクロック信号CLK1~CLK4は、シフトレジスタ2およびチップセレクト回路3のクロック信号入力端子に入力されるとともに、第3の電界効果トランジスタFET₂₁₁のゲートに入力される。これにより第3の電界効果トランジスタFET₂₁₁は、クロック信号CLKNがハイレベルの期間にオンする。

【0048】一方、密着型イメージセンサ20の外部から図外のコネクタなどを介して供給されるシリアルイン信号S_Iは、各ブロックの初段のイメージセンサチップ24のパッドP₁に入力される。たとえば、図6において上側から数えて1個目、6個目、11個目、および16個目のイメージセンサチップ24に供給される。このシリアルイン信号S_Iは、チップセレクト回路3のセット端子に入力され、これによりチップセレクト回路3は、クロック信号CLKNに同期して、セレクト信号出力端子から出力しているセレクト信号をハイレベルにする。このセレクト信号は、クロック信号CLKNを反転させた信号であって、第2の電界効果トランジスタFET₂₀₁のゲートに供給されているので、クロック信号CLKNがローレベルの期間に第2の電界効果トランジスタFET₂₀₁がオンすることになる。

【0049】また、シリアルイン信号S_Iは、シフトレジスタ2の入力端子にも供給され、クロック信号CLKNの立下りのタイミングでシフトレジスタ2の初段のビットに取り込まれる。これによりシフトレジスタ2の初段のビットがオンし、第1の電界効果トランジスタFET₁のゲートにハイレベルの信号が入力されて、第1の電界効果トランジスタFET₁がオンする。このと

き、クロック信号CLKNはローレベルであるので、第3の電界効果トランジスタFET₂₁₁はオフしており、ホトトランジスタPT₁に蓄積された電荷による電流が第1の電界効果トランジスタFET₁を介してキャパシタC₁と抵抗器R₃との並列回路に流れ、並列回路の両端電圧がその時定数に応じて次第に増加する。この両端電圧は、演算増幅器OPの非反転入力端に入力され、抵抗器R₁と抵抗器R₂との抵抗値の比で決定される増幅度で増幅されて、パッドP₆からアナログの読取画像信号AO2として出力される。このとき、クロック信号CLKNはローレベルであり、セレクト信号がハイレベルであるので、第2の電界効果トランジスタFET₂₀₁はオンしている。なお、パッドP₅からは、演算増幅器OPにより増幅されていないアナログの読取画像信号AO1が出力される。

【0050】クロック信号CLKNがローレベルからハイレベルに立ち上がると、セレクト信号がローレベルになって第2の電界効果トランジスタFET₂₀₁がオフし、パッドP₆から読取画像信号AO2が出力されなくなるとともに、第3の電界効果トランジスタFET₂₁₁がオンし、ホトトランジスタPT₁の残留電荷およびキャパシタC₁に蓄積された電荷が第3の電界効果トランジスタFET₂₁₁を介して放電される。

【0051】クロック信号CLKNがハイレベルからローレベルに立ち下ると、シフトレジスタ2の初段のビットのシリアルイン信号S_Iが第2段のビットにシフトされ、初段のビットの場合と同様の動作により、ホトトランジスタPT₂に蓄積された電荷に応じたアナログの読取画像信号AO2がパッドP₆から出力される。

【0052】以下、同様の動作によりクロック信号CLKNに同期してホトトランジスタPT₃~PT₁₂₈に蓄積された電荷に応じたアナログの読取画像信号AO2がパッドP₆から順次出力されると、次のクロック信号CLKNの立ち下がりでシフトレジスタ2の最終段のビットからシリアルイン信号S_Iが出力され、チップセレクト回路3のクリア信号入力端子にクリア信号として入力されるとともに、パッドP₇からシリアルアウト信号S_Oとして出力される。これによりチップセレクト回路3は、セレクト信号をローレベルに保つ。また、パッドP₇から出力されたシリアルアウト信号S_Oは、次段のイメージセンサチップ24のパッドP₁にシリアルイン信号S_Iとして入力される。

【0053】これにより、次段のイメージセンサチップ24が上記初段のイメージセンサチップ24と同様に動作し、クロック信号CLKNに同期してホトトランジスタPT₁~PT₁₂₈に蓄積された電荷に応じたアナログの読取画像信号AO2がパッドP₆から順次出力される。このような動作が各ブロックの最終段すなわち第5段のイメージセンサチップ24まで繰り返されることにより、制御用チップ1のパッドP₂₄~P₂₇には、各ブ

(7)

特開平10-285330

11

ックの5個のイメージセンサチップ24からの640画素分のアナログの読取画像信号A11~A14がそれぞれシリアルに入力される。すなわち、読取画像信号A11~A14は、イメージセンサチップ24のパッドP₆から出力された読取画像信号AO2である。

【0054】制御用チップ1のパッドP₂₄~P₂₇に入力されたアナログの読取画像信号A11~A14は、セクタ5により1画素分ずつ順次選択され、A/D変換器6に供給される。このとき、セクタ5には制御回路8からクロック信号CLK1~CLK4が供給され、これらのクロック信号CLK1~CLK4に同期していずれのパッドP₂₄~P₂₇に入力されているアナログの読取画像信号A11~A14をA/D変換器6に出力するかの選択を切替える。A/D変換器6は、セクタ5からのアナログの読取画像信号A11~A14をたとえば8ビットのデジタルの読取画像信号に変換して、RAM7に出力する。このとき、A/D変換器6には、制御用チップ1から基準クロック信号CLKが供給され、この基準クロック信号CLKに同期してA/D変換器6がアナログの読取画像信号A11~A14をサンプリングする。また制御回路8は、基準クロック信号CLKに同期して、デジタルの読取画像信号を格納するためのRAM7のアドレスを生成し、RAM7に供給する。したがってRAM7は、A/D変換器6からのデジタルの読取画像信号を、制御回路8からのアドレスによって指定された記憶領域に記憶する。かくしてRAM7には、1ラインすなわち2560画素分のデジタルの読取画像信号が格納される。

【0055】上記のように1ライン分のデジタルの読取画像信号がRAM7に格納されると、制御用チップ1の制御回路8にシリアルイン信号SIが入力される。具体的には、図6において最も下側に位置する最終段のイメージセンサチップ24のパッドP₇から出力されたシリアルアウト信号SOが、制御回路8にシリアルイン信号SIとして入力される。これにより制御回路8が、基準クロック信号CLKに同期して、デジタルの読取画像信号を読み出すためのRAM7のアドレスを生成し、RAM7に供給する。これによりRAM7が、パッドP₁₀~P₁₇およびD/A変換器9にデジタルの読取画像信号を順次出力する。このとき制御回路8は、パッドP₁₀~P₁₇に出力されるデジタルの読取画像信号が、1ラインの画素の読取順序に応じた順序になるように、RAM7からの読み出しのためのアドレスを生成する。たとえば、デジタルの読取画像信号のRAM7への書き込み時に、初期値を1ずつインクリメントすることによりアドレスを生成したのであれば、読み出し時には、初期値を4ずつ639回インクリメントするという動作を、最初の初期値を1ずつインクリメントしながら4回繰り返すことにより、アドレスを生成する。これは、基準クロック信号CLKの1周期分ずつタイミングをずら

12

せながら各ブロックのイメージセンサチップ24から順次アナログの読取画像信号が出力されるため、RAM7のアドレスを4ずつインクリメントしていくことにより、同一ブロックのイメージセンサチップ24から出力されたアナログの読取画像信号に対応するデジタルの読取画像信号を順次RAM7から読み出して、順番を揃えるためである。したがって、上記の読み出し時における読み出しアドレス生成方式と同様の書き込みアドレス生成方式によりRAM7への書き込みを行った場合には、読み出し時には初期値を1ずつインクリメントすることによりアドレスを生成すればよい。

【0056】パッドP₁₀~P₁₇に出力された8ビットのデジタルの読取画像信号は、図外のコネクタやケーブルなどを介して密着型イメージセンサ20の外部に出力される。また、D/A変換器9に入力されたデジタルの読取画像信号は、アナログの読取画像信号に変換され、パッドP₁₈および図外のコネクタやケーブルなどを介して密着型イメージセンサ20の外部にシリアルに出力される。

【0057】以上の動作が、LEDチップ25の赤、緑、青の各色のLEDの点灯毎に合計3回繰り返されることにより、カラー読み取りの場合の1ラインの読み取りが完了し、次のラインの読み取りに移行する。すなわち図12に示すように、先ず基準クロック信号CLKの2560周期の時間で赤色の読取画像信号のRAM7への書き込みが行われ、次の基準クロック信号CLKの2560周期の時間で赤色の読取画像信号のRAM7からの読み出しが行われ、次の基準クロック信号CLKの2560周期の時間で緑色の読取画像信号のRAM7への書き込みが行われ、次の基準クロック信号CLKの2560周期の時間で緑色の読取画像信号のRAM7からの読み出しが行われ、次の基準クロック信号CLKの2560周期の時間で青色の読取画像信号のRAM7への書き込みが行われ、次の基準クロック信号CLKの2560周期の時間で青色の読取画像信号のRAM7からの読み出しが行われる。なお、LEDチップ25の点灯は、読取画像信号のRAM7からの読み出しの間に行われる。

【0058】このように、イメージセンサチップ24を5個ずつ4つの組にブロック分けして、これらのブロックを並列駆動するので、読取速度を高速化できる。

【0059】なお上記実施形態においては、制御用チップ1に1個のRAM7を設けて、1色かつ1ライン分の読取画像信号をRAM7に書き込んだ後に読み出したが、書き込みと読み出しとを同時に行うようにしてもよい。たとえば図13に示すように、セクタ12、13を追加し、RAM7の代わりに2個のRAM14、15を設け、さらに制御回路8の代わりに制御回路16を設けた制御用チップ11を用いて、セクタ12によりA/D変換器6からのデジタルの読取画像信号をRAM

(8)

特開平10-285330

13

14に出力する状態とRAM15に出力する状態とに切替え、さらに、セクタ13によりRAM14からのデジタルの読取画像信号をパッドP₁₀～P₁₇およびD/A変換器9に出力する状態とRAM15からのデジタルの読取画像信号をパッドP₁₀～P₁₇およびD/A変換器9に出力する状態とに切り替えることにより、RAM14に読取画像信号を書き込みながらRAM15から読取画像信号を読み出す状態と、RAM15に読取画像信号を書き込みながらRAM14から読取画像信号を読み出す状態とを交互に切り替えることができる。もちろん、RAM14、15に対する書込信号および読出信号ならびにアドレスの生成は、制御回路16により行われる。したがって、図14に示すように、赤色の読取画像信号をRAM14に書き込みながら、青色の読取画像信号をRAM15から読み出し、次に緑色の読取画像信号をRAM15に書き込みながら、赤色の読取画像信号をRAM14から読み出し、次に青色の読取画像信号をRAM14に書き込みながら、緑色の読取画像信号をRAM15から読み出すという、書き込みと読み出しとの同時動作を実現できる。

【0060】このようにすれば、LEDチップ25の点灯時間を許容限度まで短くすることにより、それに応じて読取速度をさらに高速化できる。しかも、密着型イメージセンサ20の外部に出力される読取画像信号と、密着型イメージセンサ20の外部で生成されるシリアルイン信号S1とのタイミングの関係を、従来の密着型イメージセンサの場合と同様にできるので、密着型イメージセンサ20の外部における回路として従来のものを用いるのに好都合である。

【0061】また上記実施形態では、5個1組のイメージセンサチップ24により構成されるブロックの動作タイミングを決定するクロック信号CLKNを、各ブロック毎に基準クロック信号CLKの1周期分ずつずらせてクロック信号CLK1～CLK4としたが、これらクロック信号CLKNを全て同一のタイミングとしてもよい。たとえば図15に示すように、4個のA/D変換器51～54とセクタ56と制御回路57とを設けた制御用チップ51を用いて、同時にA/D変換器51～54に入力されてデジタル化される各ブロックからの読取画像信号を、セクタ56により順次切り替えてRAM7に格納すれば、各ブロックのクロック信号CLKNを全て同一のタイミングにできる。すなわち、各ブロックには、パッドP₁₉から同一のクロック信号CLKNが供給される。このときの制御用チップ51の各部信号波形を図16および図17に示す。なお図16は、データ読込モードにおける制御用チップ51の各部信号波形図であり、図17は、データ転送モードにおける制御用チップ51の各部信号波形図である。また、図16において、READ1～READ4は制御回路57からセクタ56に供給される切替信号であり、AD・LATCH

14

は制御回路57からA/D変換器51～54に供給されるサンプリングのタイミング信号である。

【0062】このようにすれば、イメージセンサチップ24の各ブロックを1つのクロック信号CLKNで駆動できるので、クロック信号CLKNを供給するための配線パターンを削減できることから、製造コストを低減できる。

【0063】更に上記実施形態では、128ドットのイメージセンサチップ24を20個設け、これらを5個1組として4つのブロックに分割したが、本願発明はもちろんこれらの数字に限定されるものではない。

【0064】また、密着型イメージセンサ20の具体的な構成も、もちろん上記実施形態のように限定されるものではない。

【図面の簡単な説明】

【図1】本願発明の一実施形態に係る密着型イメージセンサの部品を分解して示す斜視図。

【図2】上記密着型イメージセンサの部分平面図。

【図3】図1のIII-III線断面図。

【図4】図1のIV-IV線断面図。

【図5】図1のV-V線断面図。

【図6】上記密着型イメージセンサにおけるヘッド基板上のイメージセンサチップおよび配線パターンの配置説明図。

【図7】図6の要部拡大図。

【図8】上記密着型イメージセンサに備えられたイメージセンサチップの回路ブロック図。

【図9】上記密着型イメージセンサに備えられた制御用チップの回路ブロック図。

【図10】上記制御用チップにおけるデータ読込モードにおける各部信号波形図。

【図11】上記制御用チップにおけるデータ転送モードにおける各部信号波形図。

【図12】上記密着型イメージセンサの動作を説明するタイミングチャート。

【図13】別の実施形態における制御用チップの回路ブロック図。

【図14】図13に示す制御用チップを備えた密着型イメージセンサの動作を説明するタイミングチャート。

【図15】更に別の実施形態における制御用チップの回路ブロック図。

【図16】図15に示す制御用チップにおけるデータ読込モードにおける各部信号波形図。

【図17】図15に示す制御用チップにおけるデータ転送モードにおける各部信号波形図。

【符号の説明】

- 1 制御用チップ
- 5 セクタ
- 6 A/D変換器
- 7 RAM

(9)

特開平 1 0 - 2 8 5 3 3 0

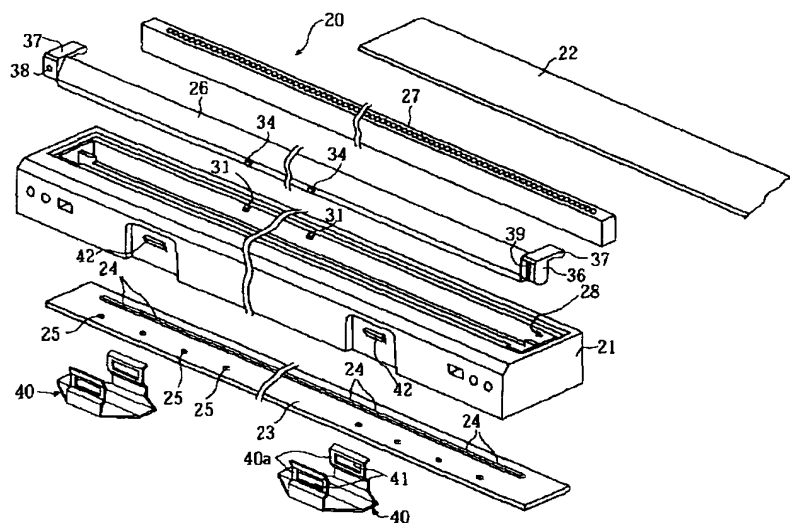
15

16

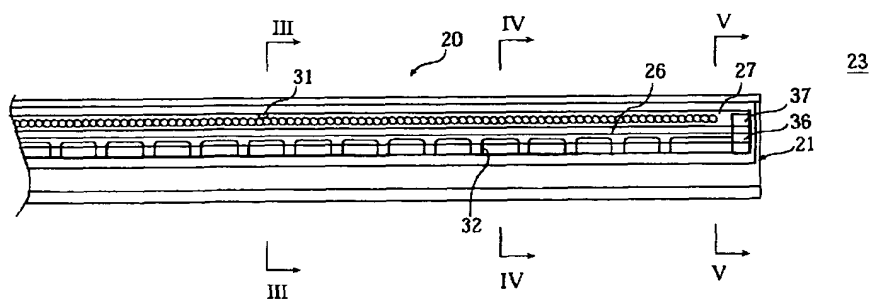
8 制御回路
 9 D/A変換器
 11 制御用チップ
 12, 13 セレクタ
 14, 15 RAM
 16 制御回路
 20 密着型イメージセンサ

24 イメージセンサチップ
 51 制御用チップ
 52~55 A/D変換器
 56 セレクタ
 57 制御回路
 PT₁ ~ PT₁₂₈ ホトトランジスタ
 D 原稿

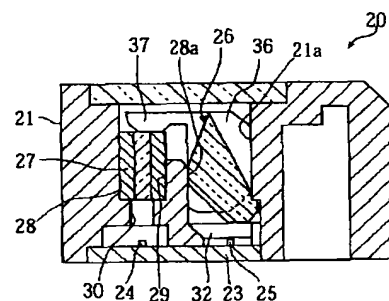
【図 1】



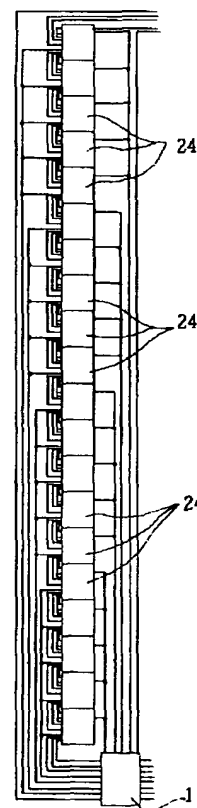
【図 2】



【図 5】



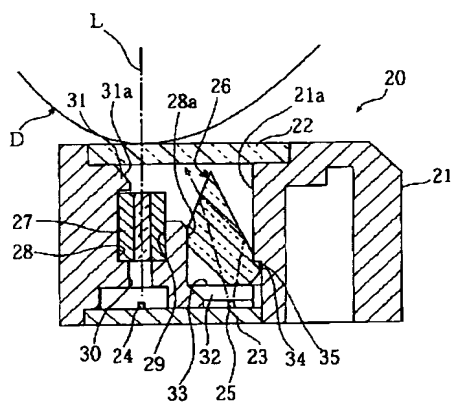
【図 6】



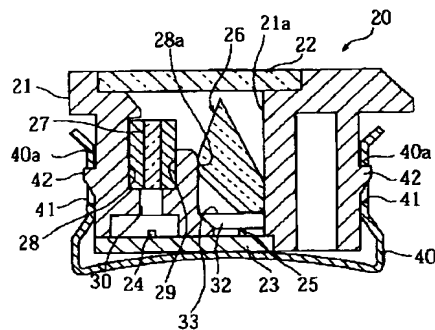
(10)

特開平 1 0 - 2 8 5 3 3 0

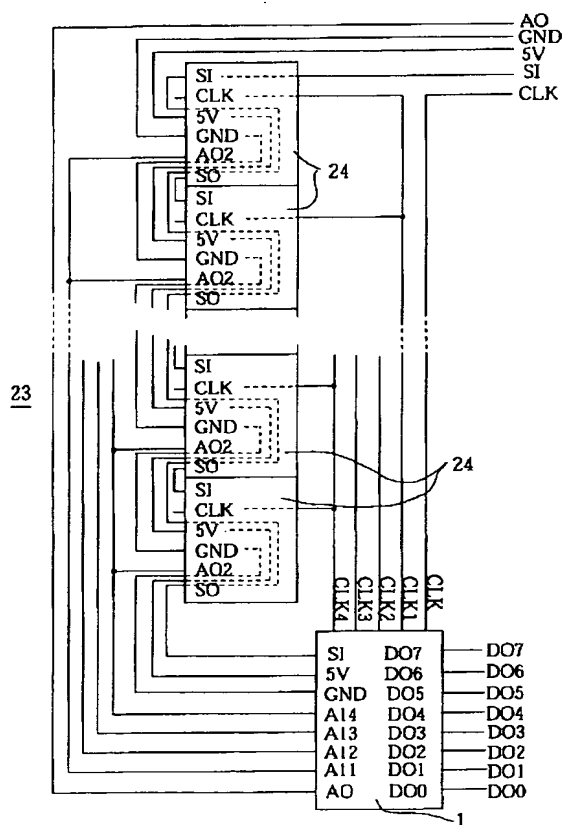
【図 3】



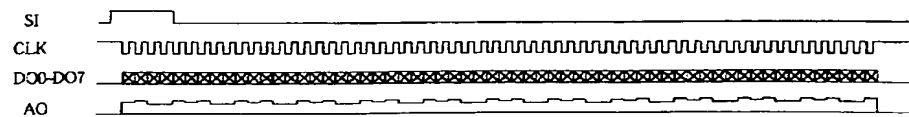
【図 4】



【図 7】



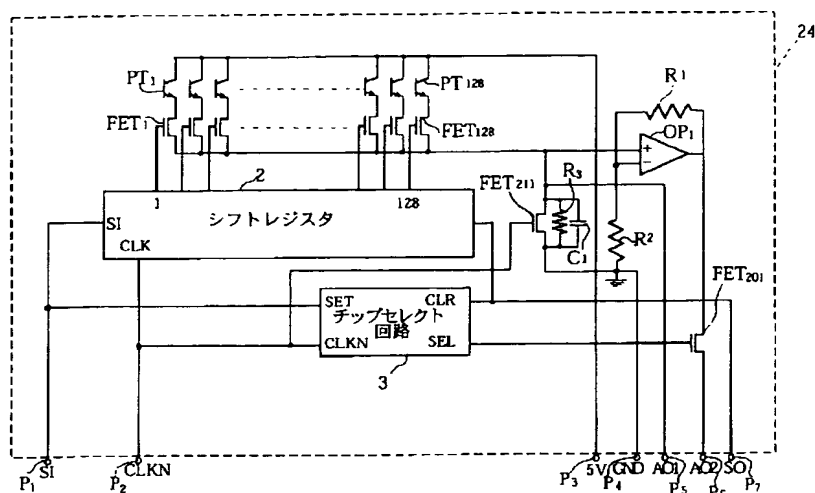
【図 1 1】



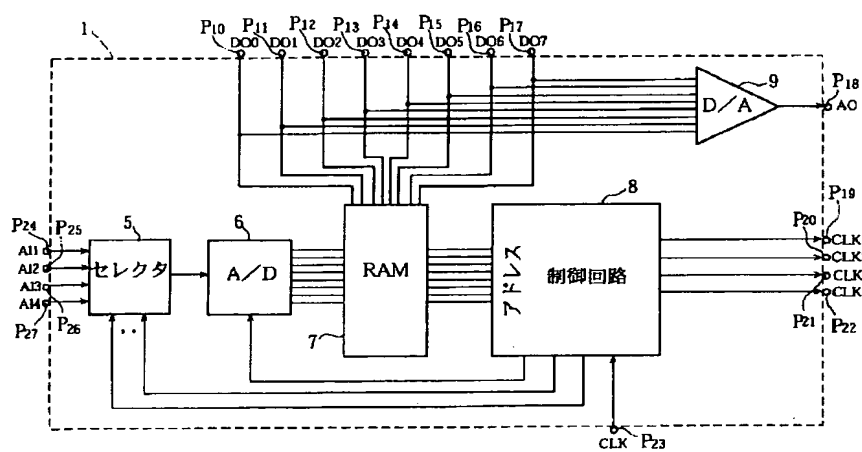
(11)

特開平 10 - 285330

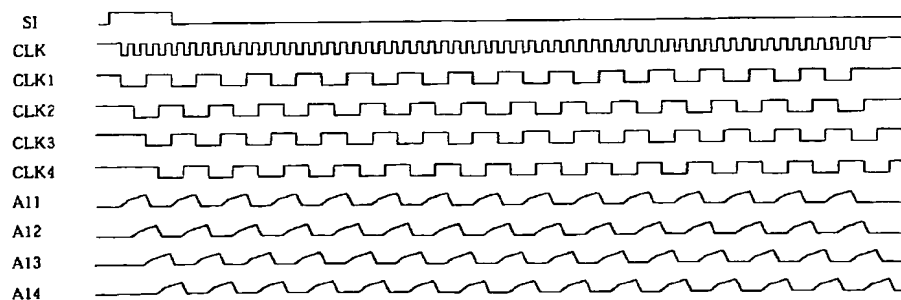
【図 8】



【図 9】



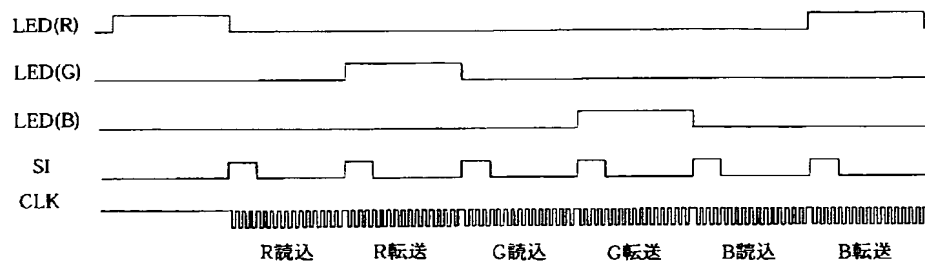
【図 10】



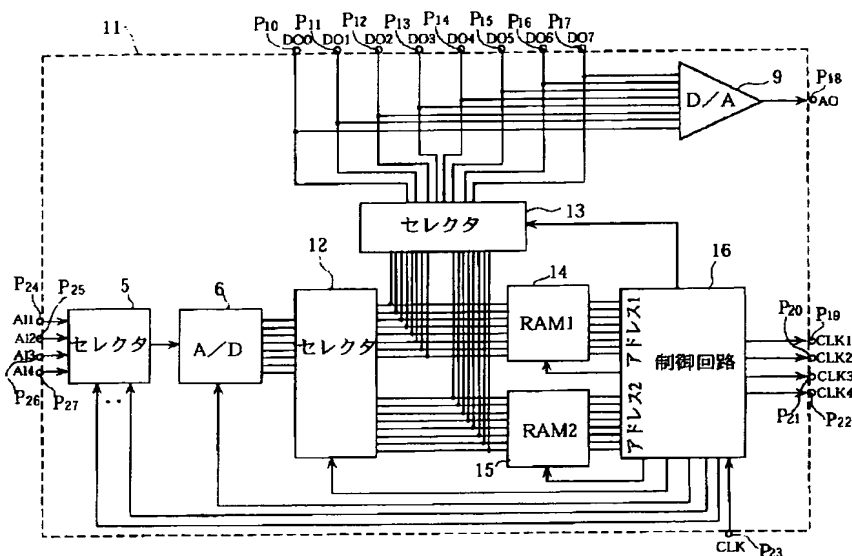
(12)

特開平 10 - 285330

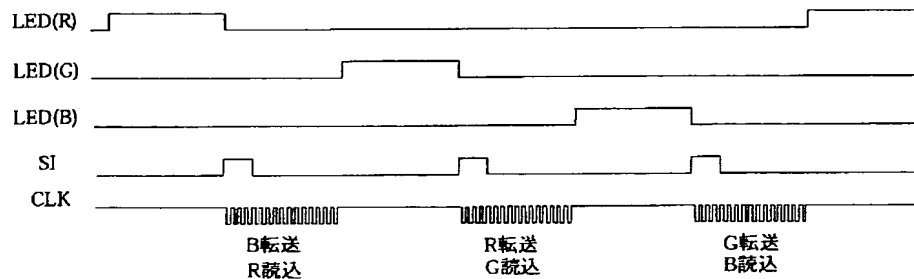
【図 1 2】



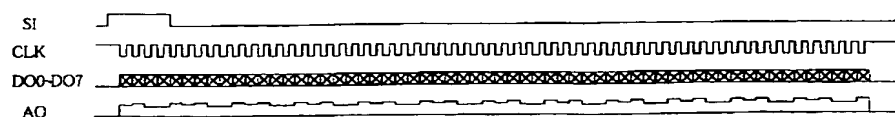
【図 1 3】



【図 1 4】



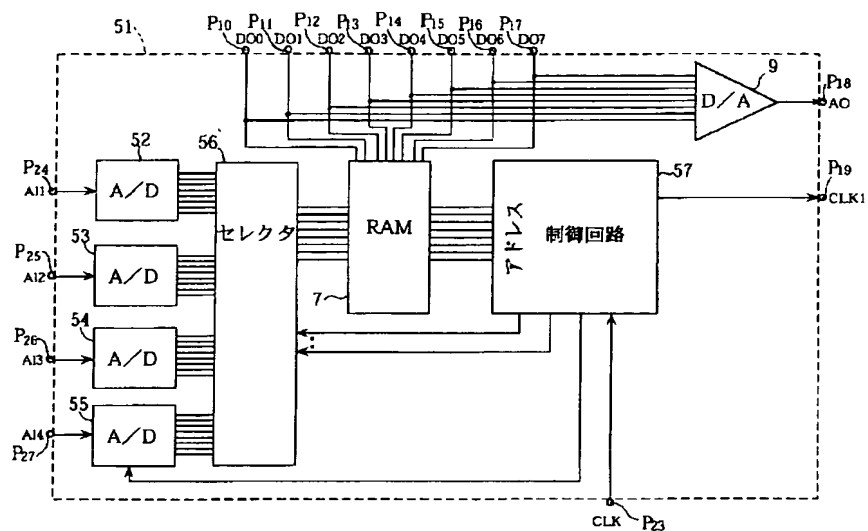
【図 1 7】



(13)

特開平 10 - 285330

【図 15】



【図 16】

